



CX9261A/CX9261AN

特性

集成两个接收通道、两个发射通道和一个观测通道的射频收发器

频段: 30MHz~6700MHz

支持 TDD 和 FDD

可调谐通道带宽: 20kHz~75MHz

高线性度宽带接收器

RX 增益调节范围: 30dB

RX 镜像抑制: $\geq 60\text{dBc}$

噪声系数: $\leq 16\text{dB}$

OIP3: $\geq 40\text{dBm}$

高线性度宽带发射器

TX 最大输出功率: $\geq 5\text{dBm}$

TX 本振泄漏: $\leq 60\text{dBm}$

TX 镜像抑制: $\geq 60\text{dBc}$

TX 输出功率衰减范围: 0dB~36dB

TX 输出 OIP3: $\geq 25\text{dBm}$

集成小数分频 PLL

多器件同步

支持外部本振输入

支持 DPD

基带数据接口支持 RBDP 接口、LVDS 接口

基带控制接口支持 SPI、GPIO 接口

应用

多功能智能终端

通用软件无线电系统

军用/民用无线通信系统

毫微微蜂窝/微微蜂窝/微蜂窝基站

概述

CX9261A/CX9261AN 是一款宽窄带融合、高性能、多通道射频收发器, 基于软件无线电设计理念, 该收发器的可编程性使其可广泛应用于各种无线通信设备中。

射频收发器集成了上/下混频器、多模滤波器、自动增益控制、直流偏移对消、功率检测、ADC/DAC、驱动放大器、电源管理、小数分频频率综合器、逻辑控制、抽取/插值滤波、数字下变频和自动校准等功能, 具有通用化设计、宽频带覆盖、宽窄带信号兼容、低功耗等特点。

CX9261A/CX9261AN 工作频率范围为 30MHz 至

7GHz, 可调谐通道带宽为 20kHz 至 75MHz。

接收通道采用直接变频架构, 由衰减器、混频器、可编程增益放大器、带宽可调滤波器 and 高速高精度 16bit ADC 组成。接收通道集成 QEC 校准功能。在窄带应用中, 接收通道可在数字部分进行二次变频, 支持低中频工作模式。

发射通道采用直接变频架构, 由混频器、可编程增益放大器、带宽可调滤波器 and 高速高精度 16bit DAC 组成。发射通道具有本振泄漏校准、IQ 正交校准, 能够实现更优的本振泄漏和镜像抑制。

射频收发器集成独立的观测通道, 用于对发射信号进行环回接收, 配合片内集成的 DPD 算法模块可实现对发射信号的预失真。

射频收发器本振和时钟都采用小数分频 PLL, 能够更好的适合各种应用场景。同时还提供了外部本振的输入接口。

射频收发器集成 5 个本振频率综合器, 支持快速乒乓跳频, 最高跳频速度高达 40000 跳。

射频收发器供电为 2.5V 和 1.3V, 单收/单发 TDD 模式下满功率工作条件下, 功耗小于 1W。

CX9261A 为工业级, CX9261AN 为军品级, 均为 BGA 289pin、15mm×15mm。

功能框图

CX9261A/CX9261AN 功能框图见图 1。

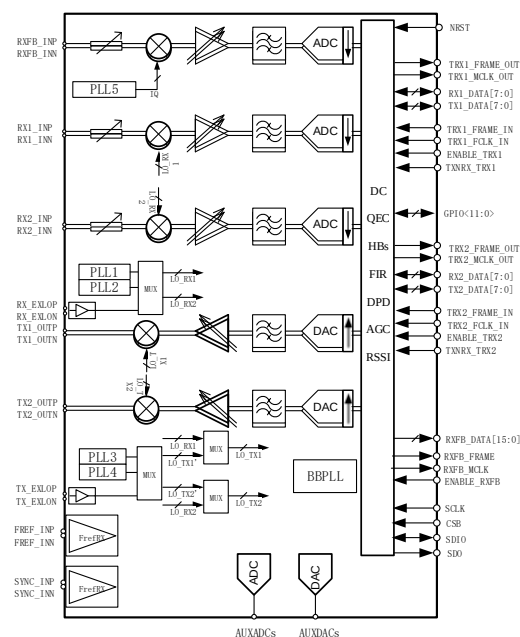


图 1 CX9261A/CX9261AN 功能框图

目 录

特性	1	抽取滤波器	42
应用	1	内插滤波器	43
概述	1	混频器	43
功能框图	1	直流校准	45
修订历史	3	直流跟踪	45
技术规格	3	QEC	46
典型功耗	9	DPD	47
绝对最大额定值	10	数字数据接口	49
热特性	10	Single port 单收单发 TDD 模式	50
ESD 警告	11	Single port 单收单发 FDD 模式	53
器件板级焊接	11	Single port 两收两发 TDD 模式	53
引脚配置和功能描述	13	Dual port 两收两发 TDD 模式	54
典型性能参数图	19	Dual port 单收单发 FDD 模式	54
200 MHz 频段	21	Dual port 两收两发 FDD 模式	55
900MHz 频段	23	RX_MCLK/TX_FCLK	55
1.5GHz 频段	26	RX_FRAME/TX_FRAME	55
2.5GHz 频段	28	LVDS 接口 TDD 模式	56
3.5GHz 频段	31	LVDS 接口 FDD 模式	58
5.8GHz 频段	33	功耗管理:	58
工作原理介绍	35	SPI 控制模式	59
一般特性	35	通用控制引脚	61
接收器	36	辅助转换器	64
发射器	36	AUXADC	64
时钟输入选项	36	AUXDAC	64
频率综合器	36	供电电压	64
自动增益控制	39	典型应用电路示例	65
数字通道	41	封装尺寸图	65

修订历史

- 2023/05/12: 版本 v1.0, 初版;
- 2023/07/14: 版本 v2.0, 修改射频收发器引脚功能的详细描述中 E17, F17 管脚对应关系;
- 2024/02/04: 版本 v3.0, 更新联系电话;
- 2024/04/23: 版本 v4.0, 更新参考时钟输入方式;
- 2024/05/31: 版本 v5.0, 更新参考时钟频率输入范围, 更新多个 PLL 同时工作时 VCO 不能相同。

技术规格

除非另有说明, 电气特性在 $xVDD13 = 1.3\text{ V}$, $xVDD25 = 2.5\text{ V}$, $T_A = 25^{\circ}\text{C}$ 下测得。

表 1.

参数	符号	最小值	典型值	最大值	单位	通道注释/测试条件
接收器 中心频率		30		7000	MHz	
增益						
最小值			-10		dB	默认 TIA 增益
最大值			20		dB	默认 TIA 增益
增益步进			1		dB	
接收器, LO=200MHz (RX1/RX2/RXFB)						
噪声系数	NF		12		dB	默认 TIA 增益
三阶输入交调截点	IIP3		24.1		dBm	
三阶输出交调截点	OIP3		44.6		dBm	
镜像抑制			61		dBc	FDD 模式: IQ 校准@16MHz, -1dBFS
			61		dBc	TDD 模式: IQ 校准@16MHz, -1dBFS
输入阻抗匹配	S11		-10		dB	
隔离度			100		dB	RX1 至 RX2
			100		dB	RX2 至 RX1
本振相位噪声			-123		dBc/Hz	@1kHz
			-129		dBc/Hz	@10kHz
			-133		dBc/Hz	@100kHz
			-142		dBc/Hz	@1MHz
			-159		dBc/Hz	@10MHz, 100MHz 参考时钟
积分相位噪声			0.015		°rms	100Hz~40MHz
接收器, LO=900MHz (RX1/RX2/RXFB)						
噪声系数	NF		11.9		dB	默认 TIA 增益
三阶输入交调截点	IIP3		19.5		dBm	

三阶输出交调截点	OIP3	40.8	dBm	
镜像抑制		65	dBc	FDD 模式: IQ 校准@16MHz, -1dBFS
		65	dBc	TDD 模式: IQ 校准@16MHz, -1dBFS
输入阻抗匹配	S11	-14	dB	
隔离度		89	dB	RX1 至 RX2
		88	dB	RX2 至 RX1
本振相位噪声		-113	dBc/Hz	@1kHz
		-119	dBc/Hz	@10kHz
		-121	dBc/Hz	@100kHz
		-130	dBc/Hz	@1MHz
		-151	dBc/Hz	@10MHz, 100MHz 参考时钟
积分相位噪声		0.056	°rms	100Hz~50MHz
接收器, LO=1.5GHz (RX1/RX2/RXFB)				
噪声系数	NF	13	dB	默认 TIA 增益
三阶输入交调截点	IIP3	21.3	dBm	
三阶输出交调截点	OIP3	41.8	dBm	
镜像抑制		63	dBc	FDD 模式: IQ 校准@16MHz, -1dBFS
		64	dBc	TDD 模式: IQ 校准@16MHz, -1dBFS
输入阻抗匹配	S11	-14	dB	
隔离度		89	dB	RX1 至 RX2
		85	dB	RX2 至 RX1
本振相位噪声		-109	dBc/Hz	@1kHz
		-117	dBc/Hz	@10kHz
		-116	dBc/Hz	@100kHz
		-129	dBc/Hz	@1MHz
		-150	dBc/Hz	@10MHz, 100MHz 参考时钟
积分相位噪声		0.083	°rms	100Hz~50MHz
接收器, LO=2.5GHz (RX1/RX2/RXFB)				
噪声系数	NF	15.2	dB	默认 TIA 增益
三阶输入交调截点	IIP3	22.2	dBm	
三阶输出交调截点	OIP3	41	dBm	
镜像抑制		71	dBc	FDD 模式: IQ 校准@16MHz, -1dBFS

输入阻抗匹配	S11	76 -12	dBc dB	TDD 模式: IQ 校准@16MHz, -1dBFS
隔离度		80 77	dB dB	RX1 至 RX2 RX2 至 RX1
本振相位噪声		-104 -112 -112 -120 -138	dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz	@1kHz @10kHz @100kHz @1MHz @10MHz, 100MHz 参考时钟
积分相位噪声		0.16	°rms	(100Hz~50MHz)
接收器, LO=3.5GHz (RX1/RX2/RXFB)				
噪声系数	NF	14.7	dB	默认 TIA 增益
三阶输入交调截点	IIP3	22.6	dBm	
三阶输出交调截点	OIP3	42.1	dBm	
镜像抑制		69 50 68 53	dBc dBc dBc dBc	FDD 模式: IQ 校准@16MHz, -1dBFS (VCO 4 分频) FDD 模式: IQ 校准@16MHz, -1dBFS (VCO 2 分频) TDD 模式: IQ 校准@16MHz, -1dBFS (VCO 4 分频) TDD 模式: IQ 校准@16MHz, -1dBFS (VCO 2 分频)
输入阻抗匹配	S11	-14	dB	
隔离度		78 80	dB dB	RX1 至 RX2 RX2 至 RX1
本振相位噪声		-101 -109 -109 -119 -140	dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz	@1kHz @10kHz @100kHz @1MHz @10MHz, 100MHz 参考时钟
积分相位噪声		0.203	°rms	100Hz~100MHz
接收器, LO=5.8GHz (RX1/RX2/RXFB)				
噪声系数	NF	16	dB	默认 TIA 增益
三阶输入交调截点	IIP3	19.9	dBm	

三阶输出交调截点	OIP3	39.4			dBm	
镜像抑制		62			dBc	FDD 模式: IQ 校准@16MHz, -1dBFS
输入阻抗匹配	S11	52			dBc	TDD 模式: IQ 校准@16MHz, -1dBFS
		-10			dB	
隔离度		70			dB	RX1 至 RX2
		58			dB	RX2 至 RX1
本振相位噪声		-97			dBc/Hz	@1kHz
		-105			dBc/Hz	@10kHz
		-105			dBc/Hz	@100kHz
		-117			dBc/Hz	@1MHz
		-135			dBc/Hz	@10MHz, 100MHz 参考时钟
积分相位噪声		0.301			°rms	100Hz~50MHz
参数	符号	最小值	典型值	最大值	单位	通道注释/测试条件
发射器 中心频率		30		7000	MHz	
发射器, LO=200MHz (TX1/TX2)						
输出阻抗匹配	S22	-13.5			dB	TX 输出 mixer 最大增益
最大输出功率		9.4			dBm	DAC 输入-0.2dBFS 单音信号, 发射 通道最大带宽、最大增益
三阶输出交调截点	OIP3	28.9			dBm	双音输入 DAC, 每个单音信号能量为 -7dBFS
本振泄漏		-78			dBm	DAC 输入-1dBFS 的单音信号, 开启 TX DC 校准
镜像抑制		71			dBc	DAC 输入-1dBFS 的单音信号, 开启 TX IQ 校准
本底噪声	NSD	-156			dBm/Hz	偏移 100MHz
隔离度		80			dB	TX1 至 TX2
		79			dB	TX2 至 TX1
发射器, LO=900MHz (TX1/TX2)						
输出阻抗匹配	S22	-13.4			dB	TX 输出 mixer 最大增益
最大输出功率		9.7			dBm	DAC 输入-0.2dBFS 单音信号, 发射 通道最大带宽、最大增益

三阶输出交调截点	OIP3	32.3	dBm	双音输入 DAC, 每个单音信号能量为 -7dBFS
本振泄漏		-76	dBm	DAC 输入-1dBFS 的单音信号, 开启 TX DC 校准
镜像抑制		65	dBc	DAC 输入-1dBFS 的单音信号, 开启 TX IQ 校准
本底噪声	NSD	-154	dBm/Hz	偏移 100MHz
隔离度		98 97	dB dB	TX1 至 TX2 TX2 至 TX1
发射器, LO=1.5GHz (TX1/TX2)				
输出阻抗匹配	S22	-7.1	dB	TX 输出 mixer 最大增益
最大输出功率		7.8	dBm	DAC 输入-0.2dBFS 单音信号, 发射通道最大带宽、最大增益
三阶输出交调截点	OIP3	25.5	dBm	双音输入 DAC, 每个单音信号能量为 -7dBFS
本振泄漏		-71	dBm	DAC 输入-1dBFS 的单音信号, 开启 TX DC 校准
镜像抑制		54	dBc	DAC 输入-1dBFS 的单音信号, 开启 TX IQ 校准
本底噪声	NSD	-154	dBm/Hz	偏移 100MHz
隔离度		98 90	dB dB	TX1 至 TX2 TX2 至 TX1
发射器, LO=2.5GHz (TX1/TX2)				
输出阻抗匹配	S22	-17.8	dB	TX 输出 mixer 最大增益
最大输出功率		8.8	dBm	DAC 输入-0.2dBFS 单音信号, 发射通道最大带宽、最大增益
三阶输出交调截点	OIP3	28.3	dBm	双音输入 DAC, 每个单音信号能量为 -7dBFS
本振泄漏		-65.5	dBm	DAC 输入-1dBFS 的单音信号, 开启 TX DC 校准

镜像抑制		53.3	dBc	DAC 输入-1dBFS 的单音信号, 开启 TX IQ 校准
本底噪声	NSD	-153	dBm/Hz	偏移 100MHz
隔离度		87	dB	TX1 至 TX2
		88	dB	TX2 至 TX1
发射器, LO=3.5GHz (TX1/TX2)				
输出阻抗匹配	S22	-7	dB	TX 输出 mixer 最大增益
最大输出功率		6.7	dBm	DAC 输入-0.2dBFS 单音信号, 发射通道最大带宽、最大增益
三阶输出交调截点	OIP3	22	dBm	双音输入 DAC, 每个单音信号能量为 -7dBFS
本振泄漏		-67	dBm	DAC 输入-1dBFS 的单音信号, 开启 TX DC 校准
镜像抑制		69.7	dBc	DAC 输入-1dBFS 的单音信号, 开启 TX IQ 校准
本底噪声	NSD	-153	dBm/Hz	偏移 100MHz
隔离度		87	dB	TX1 至 TX2
		88	dB	TX2 至 TX1
发射器, LO=5.8GHz (TX1/TX2)				
输出阻抗匹配	S22	-12	dB	TX 输出 mixer 最大增益
最大输出功率		5.8	dBm	DAC 输入-0.2dBFS 单音信号, 发射通道最大带宽、最大增益
三阶输出交调截点	OIP3	26.7	dBm	双音输入 DAC, 每个单音信号能量为 -7dBFS
本振泄漏		-65.8	dBm	DAC 输入-1dBFS 的单音信号, 开启 TX DC 校准
镜像抑制		57	dBc	DAC 输入-1dBFS 的单音信号, 开启 TX IQ 校准
本底噪声	NSD	-152	dBm/Hz	偏移 100MHz
隔离度		73	dB	TX1 至 TX2
		78	dB	TX2 至 TX1

LO 频率综合器 LO 频率精度 本振锁定时间 本振切换时间 积分相位噪声 470MHz 900MHz 2.4GHz 3.5GHz 5.8GHz 1.9GHz 3.8GHz 5.9GHz		10 ⁻⁷		Hz	
		9.3		43	μs
		1			μs
		0.042			°rms
		0.077			°rms
		0.221			°rms
		0.273			°rms
		0.456			°rms
		0.108			°rms
		0.219			°rms
		0.305			°rms
参考时钟(REF_CLK) 输入频率范围 信号电平 信号电平 摆率		100		150	MHz
		1.0	1.8	2.5	Vp-p
		0.2	1	2	Vp-p
			5		V/ns
辅助转换器 ADC 分辨率 输入电压 DAC 分辨率 输出电压			10		位
		0.1		1	V
			14		位
		0.261		2.261	V

典型功耗

表 2

1.3V 电源电压					
参数	最小值	典型值	最大值	单位	测试条件/注释
RX1 (@2.5GHz)					
20kHz 带宽		442		mA	TDD, ADC 采样率 10MSPS
60MHz 带宽		656		mA	TDD, ADC 采样率 64MSPS
Rxfb (@1.5GHz)					
60MHz 带宽		645		mA	TDD, ADC 采样率 64MSPS
TX1 (@2.5GHz) 0dBm 输出					
20kHz 带宽		451		mA	TDD, ADC 采样率 10MSPS
60MHz 带宽		623		mA	TDD, ADC 采样率 64MSPS
TX1&RX1 (@RX2.4GHz, TX2.5GHz)					
20kHz 带宽		713		mA	FDD, ADC 采样率 10MSPS
60MHz 带宽		946		mA	FDD, ADC 采样率 64MSPS
TX1&RX1&TX2&RX2 (@RX2.4GHz, TX2.5GHz)					

20kHz 带宽	1.075	A	FDD, ADC 采样率 10MSPS		
60MHz 带宽	1.377	A	FDD, ADC 采样率 64MSPS		
2.5V 电源电压					
参数	最小值	典型值	最大值	单位	测试条件/注释
RX1（@2.5GHz）					
20kHz 带宽		61		mA	TDD, ADC 采样率 10MSPS
60MHz 带宽		181		mA	TDD, ADC 采样率 64MSPS
Rx1b（@1.5GHz）					
60MHz 带宽		179		mA	TDD, ADC 采样率 64MSPS
TX1（@2.5GHz）0dBm 输出					
20kHz 带宽		47		mA	TDD, ADC 采样率 10MSPS
60MHz 带宽		87		mA	TDD, ADC 采样率 64MSPS
TX1&RX1（@RX2.4GHz, TX2.5GHz）					
20kHz 带宽		66		mA	FDD, ADC 采样率 10MSPS
60MHz 带宽		149		mA	FDD, ADC 采样率 64MSPS
TX1&RX1&TX2&RX2（@RX2.4G, TX2.5G）					
20kHz 带宽		72		mA	FDD, ADC 采样率 10MSPS
60MHz 带宽		199		mA	FDD, ADC 采样率 64MSPS

绝对最大额定值

表 3

参数	值
xAVDD13 至 AVSS	-0.3~+1.4V
xDVDD13 至 DVSS	-0.3~+1.4V
xAVDD25 至 AVSS	-0.3~+2.75V
DVDD25 至 DVSS	-0.3~+2.75V
输入电流至除电源引脚外的任何引脚	±10mA
RF 输入(峰值功率)	5dBm
工作温度范围	-40~85℃（工业级），-55~125℃（军品级）
存储温度范围	-55~125℃（工业级），-60~150℃（军品级）

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热特性

θ_{JA} 针对最差条件，即器件焊接在电路板上实现表贴封装。建议使用适当的热管理技术，确保最高节温不超过表 4 给出的限值。

表 4 节温限值表

类型	气流速度(m/s)	$\theta_{JA}^{1,2}$	$\theta_{JC}^{1,3}$	$\theta_{JB}^{1,4}$	单位
FCBGA 塑封	0	4.8	0.04	5.06	℃/W

¹ 按照 JEDEC JESD51-7，加上 JEDEC JESD51-5 2S2P 测试板。

² 按照 JEDEC JESD51-2(静止空气)。

³ 按照 JEDEC JESD51-8(静止空气)。

⁴ 按照 JEDEC JESD51-8(静止空气)。

ESD 警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专有保护电路，但在遇到高能量 ESD (>1500V) 时，器件可能会损坏。因此，应当采取适当的 ESD 防范措施，以避免器件性能下降或功能丧失。

器件板级焊接

器件装联前应检查器件的外观应无变形，表面无锈蚀，锡球根部与封装连接处无裂痕等缺陷，锡球的洁净度满足要求。器件湿敏等级为 MSL3，请按照 MSL3 管控相关规定，对器件进行管控。

器件封装可选无铅封装或有铅封装。

无铅封装的锡球选用 SAC305，有铅封装的锡球锡球选用 Sn63Pb37。

特别指出，本节推荐安装条件基于通用的 Sn63Pb37 焊膏（无铅封装用）或 Sn62Pb36Ag2 焊膏（有铅封装用），建议用户在焊接时根据具体选用的焊膏及焊接环境（板厚、面积、器件位置等）调整焊接参数，进行工艺验证，从而找出最优参数。

PCB 焊盘设计

采用狗骨外形（过孔与焊盘分离），阻焊层采用 USMD 方式，焊盘直径 0.4mm。

网板设计

厚度 0.1mm~0.15mm，直径 0.4mm（焊盘 100%被焊膏覆盖），网板 1:1 开窗。

贴装

建议采用具有双向光学对准系统的设备进行对准和贴装，保证贴装精度。

焊接前高温 125℃烘烤 24 小时。

回流焊接

无铅封装 PCB 表面最高温度不超过 240℃，有铅封装 PCB 表面最高温度不超过 220℃，热电偶测量位置如图 2 所示。

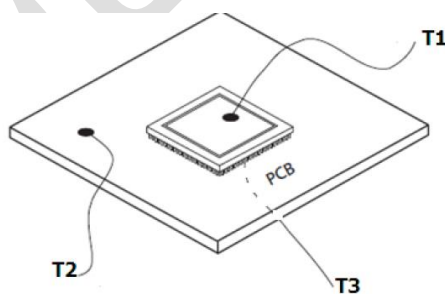


图 2 热电偶测量位置示意图

T1 位于散热片表面；T2 位于 PCB 表面；T3 位于芯片中心区域。为了获得更精确的测量温度，T3 位置可能需要通过 PCB 钻孔实现；三个温度点测试的曲线外形应尽可能相似，避免剧烈波动。

建议在氮气氛围下实现焊接，氧气浓度：不大于 2000ppm。

焊接回流温度曲线如图 3 所示。

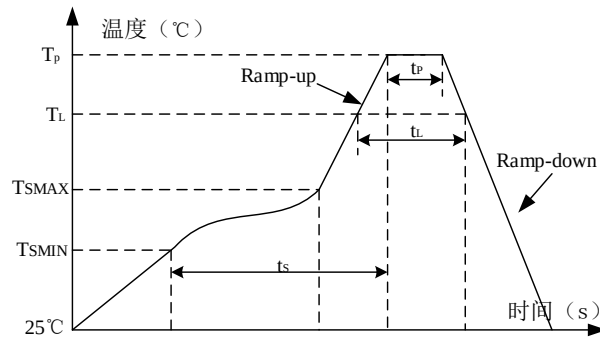


图 3 焊接回流温度曲线图

无铅封装和有铅封装的相应参数要求不同，对于参数的具体要求如表 5 所示。

表 5 焊接参数表

参数	无铅封装	有铅封装
Ramp-up	$\leq 3^{\circ}\text{C/s}$	$\leq 3^{\circ}\text{C/s}$
TSMIN	150℃	120℃
TSMAX	200℃	160℃
ts	60~120s	60~120s
TL	217℃	183℃
tL	60~150s	60~150s
Tp	230~260℃	200~225℃
tp	10~30s	10~30s
Ramp-down	$\leq 6^{\circ}\text{C/s}$	$\leq 6^{\circ}\text{C/s}$

保存

拆除原包装后，如不能立即焊接需在恒温恒湿环境（或氮气）或重新抽真空保存，避免氧化。

检验

装联过程中需对以下几点进行关键检验：

器件焊接前需对器件平面度、位置度、器件端焊点进行检查，平面度一般要求 0.15 mm，位置度一般要求 0.1mm，器件端焊点气孔总直径不大于焊球直径的 25%。

PCB 焊膏印刷后对焊膏印刷情况进行检验并进行图像记录，每个焊盘上的焊膏应一致，印刷后焊膏应无明显偏移。

器件贴装后应保证每个焊球均与焊盘接触，FCBGA 芯片贴装后，目检最外侧两排焊点应无明显偏移。

焊接完成后使用目视检查最外层两排焊点（印制板端、器件端）形态，使用 X 光机对 FCBGA 器件端焊点进行检测，检查器件端焊点是否有气孔，焊点气孔总直径不大于焊柱（球）直径的 25%。

特别说明

新研系统产品建议线采用废片进行工艺调试和可靠性摸底，满足要求再进行功能器件的焊接。

考虑到焊球易损性，取放操作时应小心，尽量避免焊球位受力。

注意事项

必须采取防静电措施进行操作。推荐取件操作在离子风机区域进行，并对器件正反面进行去离子操作

引脚配置和功能描述

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
A	RX1_FRAM E_OUT	RX2_FRAM E_OUT	RX1_DATA <3>	RX2_DATA <6>	RX2_DATA <7>	DVSS	SYNC_INP	SYNC_INN	AVSS	FREFP	FREFN	AVSS	IBIAS_RE S_10K	AFC_OUT	AUXADC1_ IN	AUXADC2_ IN	AVSS
B	TX1_FCLK _IN	TX2_FCLK _IN	RX1_DATA <2>	RX2_DATA <4>	RX2_DATA <5>	DVSS	AVSS	AVSS	AVSS	AVSS	AVSS	AVSS	AVSS	AVSS	AVSS	AVSS	TX1_MIX_OU TN
C	TX1_FRAM E_IN	TX2_FRAM E_IN	RX1_DATA <1>	RX2_DATA <2>	RX2_DATA <3>	DVSS	DVSS	AVSS	AUXDAC_A VDD25	BGR_AVDD 13	TX1_DAC_ AVDD13	AVSS	TX1_LPF_ AVDD13	AVSS	TX1_LO_D VDD13	TX1_MIX_ AVDD13	TX1_MIX_OU TP
D	TX2_DATA <4>	TX2_DATA <5>	RX1_DATA <0>	RX2_DATA <0>	RX2_DATA <1>	DVDD13	DVSS	AVSS	AVSS	AUXADC_A VDD13	TX1_DAC_ DVDD13	TX1_DAC_ AVDD13	TX1_LPF_ AVDD13	AVSS	AVSS	AVSS	AVSS
E	TX2_DATA <2>	TX2_DATA <3>	TX2_DATA <6>	RX1_DATA <6>	RX1_DATA <7>	DVDD25	DVSS	AVSS	RX1_ADC_ DVDD13	RX1_ADC_ AVDD13	AVSS	RX1_AVDD 13	RX1_AVDD 13	AVSS	RX1_AVDD 13	AVSS	RX1_VINN
F	TX1_DATA <6>	TX1_DATA <7>	TX2_DATA <7>	RX1_DATA <5>	RX1_DATA <4>	DVDD13	ISO_AVSS	AVSS	AVSS	RX1_ADC_ AVDD13	PLL1_LDO _INOUT	AVSS	RX1_AVDD 13	AVSS	RX1_LO_A VDD13	AVSS	RX1_VINP
G	TX1_DATA <4>	TX1_DATA <5>	TX2_DATA <0>	RX1_MCLK _OUT	RX2_MCLK _OUT	DVSS	ISO_AVSS	BBPLL_AV DD25	PLL3_LDO _INOUT	PLL3_AVD D13	PLL3_AVD D25	PLL1_AVD D25	PLL1_AVD D13	PLL3_AFC _AVDD13	PLL1_AFC _AVDD13	AVSS	AVSS
H	TX1_DATA <2>	TX1_DATA <3>	TX2_DATA <1>	DVSS	DVSS	DVDD13	ISO_AVSS	BBPLL_AV DD13	AVSS	EXLO_RX_ AVDD13	EXLO_TX_ AVDD13	EXLO_TXP EXLO_TXN	EXLO_TXN	AVSS	AVSS	EXLO_RXP EXLO_RXN	EXLO_RXN
J	TX1_DATA <0>	TX1_DATA <1>	DVSS	GPIO<6>	GPIO<10>	DVDD25	ISO_AVSS	FREF_AVD D13	PLL4_LDO _INOUT	PLL4_AVD D13	PLL4_AVD D25	PLL2_AVD D25	PLL2_AVD D13	PLL4_AFC _AVDD13	PLL2_AFC _AVDD13	AVSS	AVSS
K	DVSS	DVSS	GPIO<7>	GPIO<11>	GPIO<5>	DVDD13	ISO_AVSS	BBPLL_LD O_INOUT	AVSS	RX2_ADC_ AVDD13	AVSS	PLL2_LDO _INOUT	RX2_AVDD 13	AVSS	RX2_LO_A VDD13	AVSS	RX2_VINN
L	GPIO<1>	GPIO<4>	GPIO<8>	GPIO<9>	GPIO<0>	DVSS	ISO_AVSS	AVSS	RX2_ADC_ DVDD13	RX2_ADC_ AVDD13	AVSS	RX2_AVDD 13	RX2_AVDD 13	AVSS	RX2_AVDD 13	AVSS	RX2_VINP
M	GPIO<3>	GPIO<2>	RXFB_DAT A<3>	RXFB_DAT A<2>	TXNRX_RX FB	DVDD13	DVSS	PLL5_LDO _INOUT	AVSS	PLL5_AVD D13	TX2_DAC_ DVDD13	TX2_DAC_ AVDD13	TX2_LPF_ AVDD13	AVSS	AVSS	AVSS	AVSS
N	RXFB_DAT A<5>	RXFB_DAT A<4>	RXFB_DAT A<1>	RXFB_DAT A<0>	ENABLE_R XFB	DVDD25	DVSS	PLL5_AVD D25	PLL5_AVD D13	AVSS	TX2_DAC_ AVDD13	AVSS	TX2_LPF_ AVDD13	AVSS	TX2_LO_D VDD13	TX2_MIX_ AVDD13	TX2_MIX_OU TN
P	RXFB_DAT A<7>	RXFB_DAT A<6>	RXFB_DAT A<15>	RXFB_DAT A<14>	RXFB_FRA ME	DVDD13	DVSS	AVSS	RXFB_ADC _DVDD13	RXFB_ADC _AVDD13	AVSS	AVSS	RXFB_AVD D13	AVSS	RXFB_LO_ AVDD13	AVSS	TX2_MIX_OU TP
R	RXFB_DAT A<11>	RXFB_DAT A<10>	RXFB_DAT A<12>	RXFB_DAT A<13>	RXFB_MCL K	SDO	DVSS	AVSS	AVSS	RXFB_ADC _AVDD13	AVSS	RXFB_AVD D13	RXFB_AVD D13	AVSS	RXFB_AVD D13	AVSS	AVSS
T	RXFB_DAT A<8>	RXFB_DAT A<9>	SDIO	SCLK	TXNRX_TR X2	ENABLE_T RX2	DVSS	AVSS	AVSS	AVSS	AVSS	AVSS	AVSS	AVSS	AVSS	AVSS	RXFB_VINN
U	OSC_OUT	NRST	CSB	FREF_DIV _MODE	ENABLE_T RX1	TXNRX_TR X1	DVSS	AVSS	AVSS	AVSS	AVSS	AVSS	AVSS	AVSS	AVSS	AVSS	RXFB_VINP

射频信号

数字 IO 信号

电源

参考地

模拟低频信号

本振和时钟信号

图 4 CX9261A/CX9261AN 引脚分配

射频收发器引脚功能的详细描述:

表 6

管脚编号	类型	符号	描述
A3 B3 C3 D3 E4 E5 F4 F5	I/O	RX1_DATA<3> RX1_DATA<2> RX1_DATA<1> RX1_DATA<0> RX1_DATA<6> RX1_DATA<7> RX1_DATA<5> RX1_DATA<4>	收发通道 1 (TRX1) 数据输入输出, 端口默认下拉;
G4	O	RX1_MCLK_OUT	收发通道 1 (TRX1) 接收模式下, 输出数据随路时钟, 端口默认下拉;
A1	O	RX1_FRAME_OUT	收发通道 1 (TRX1) 接收模式下, 输出数据帧指示, 端口默认下拉;
F1 F2 G1 G2 H1 H2 J1 J2	I/O	TX1_DATA<6> TX1_DATA<7> TX1_DATA<4> TX1_DATA<5> TX1_DATA<2> TX1_DATA<3> TX1_DATA<0> TX1_DATA<1>	收发通道 1 (TRX1) 数据输入输出, 端口默认下拉;
B1	I	TX1_FCLK_IN	收发通道 1 (TRX1) 发射模式下, 输入数据随路时钟, 端口默认下拉;
C1	I	TX1_FRAME_IN	收发通道 1 (TRX1) 发射模式下, 输入数据帧指示, 端口默认下拉;
A4 A5 B4 B5 C4 C5 D4 D5	I/O	RX2_DATA<6> RX2_DATA<7> RX2_DATA<4> RX2_DATA<5> RX2_DATA<2> RX2_DATA<3> RX2_DATA<0> RX2_DATA<1>	收发通道 2 (TRX2) 数据输入输出, 端口默认下拉;
G5	O	RX2_MCLK_OUT	收发通道 2 (TRX2) 接收模式下, 输出数据随路时钟, 端口默认下拉;
A2	O	RX2_FRAME_OUT	收发通道 2 (TRX2) 接收模式下, 输出数据帧指示, 端口默认下拉;
D1 D2 E1 E2 E3 F3 G3 H3	I/O	TX2_DATA<4> TX2_DATA<5> TX2_DATA<2> TX2_DATA<3> TX2_DATA<6> TX2_DATA<7> TX2_DATA<0> TX2_DATA<1>	收发通道 2 (TRX2) 数据输入输出, 端口默认下拉;

B2	I	TX2_FCLK_IN	收发通道 2 (TRX2) 发射模式下, 输入数据随路时钟, 端口默认下拉;
C2	I	TX2_FRAME_IN	收发通道 2 (TRX2) 发射模式下, 输入数据帧指示, 端口默认下拉;
P3 P4 R1 R2 R3 R4 T1 T2	O	TRXFB_DATA<15> TRXFB_DATA<14> TRXFB_DATA<11> TRXFB_DATA<10> TRXFB_DATA<12> TRXFB_DATA<13> TRXFB_DATA<8> TRXFB_DATA<9>	接收反馈通道 (RXFB) 数据输入输出, 端口默认下拉;
M3 M4 N1 N2 N3 N4 P1 P2	O	TRXFB_DATA<3> TRXFB_DATA<2> TRXFB_DATA<5> TRXFB_DATA<4> TRXFB_DATA<1> TRXFB_DATA<0> TRXFB_DATA<7> TRXFB_DATA<6>	接收反馈通道 (RXFB) 数据输入输出, 端口默认下拉;
R5	O	RXFB_MCLK	接收反馈通道 (RXFB) 接收模式下, 输出数据随路时钟, 端口默认下拉;
P5	O	RXFB_FRAME	接收反馈通道 (RXFB) 接收模式下, 输出数据帧指示, 端口默认下拉;
T4	I	SCLK	收发通道 1 (TRX1) SPI 时钟管脚, 端口默认下拉;
R6	O	SDO	收发通道 1 (TRX1) SPI 数据输出管脚, 端口默认下拉;
T3	I/O	SDIO	收发通道 1 (TRX1) SPI 数据输入输出管脚, 端口默认下拉;
U3	I	CSB	收发通道 1 (TRX1) SPI 片选信号管脚, 端口默认上拉;
U6	I	TXNRX_TRX1	收发通道 1 (TRX1) 收发控制信号, 端口默认下拉;
U5	I	ENABLE_TRX1	收发通道 1 (TRX1) 收发使能控制信号, 端口默认下拉;
T5	I	TXNRX_TRX2	收发通道 2 (TRX2) 收发控制信号, 端口默认下拉;
T6	I	ENABLE_TRX2	收发通道 2 (TRX2) 收发使能控制信号, 端口默认下拉;
M5	I	TXNRX_RXFB	接收反馈通道 (RXFB) 收发控制信号, 端口默认下拉;
N5	I	ENABLE_RXFB	接收反馈通道 (RXFB) 收发使能控制信号, 端口默认下拉;
J4 J5	I/O	GPIO<6> GPIO<10>	GPIO 管脚, 用于线控芯片增益或者输出芯片当前工作状态, 端口默认下

K3 K4 K5 L1 L2 L3 L4 L5 M1 M2		GPIO<7> GPIO<11> GPIO<5> GPIO<1> GPIO<4> GPIO<8> GPIO<9> GPIO<0> GPIO<3> GPIO<2>	拉；
U4	I	FREF_DIV_MODE	OSC_OUT 输出分频选择，高电平 OSC_OUT 输出为参考时钟的 2 分频，低电平 OSC_OUT 输出为参考时钟频率，端口默认上拉；
U1	O	OSC_OUT	晶振整形方波输出，在参考时钟输入的情况下，该时钟上电即输出，与其它电路无关，端口默认上拉；
U2	I	NRST	芯片全局复位控制管脚，低电平有效，端口默认上拉；
E17 F17	I	RX1_VINN RX1_VINP	RX1 接收通道输入，差分 100Ω 特征阻抗
K17 L17	I	RX2_VINN RX2_VINP	RX2 接收通道输入，差分 100Ω 特征阻抗
T17 U17	I	RXFB_VINN RXFB_VINP	RX 反馈接收通道输入，差分 100Ω 特征阻抗
H12 H13	I	EXLO_TXP EXLO_TXN	发射机外本振输入，差分 100Ω 特征阻抗，输入频率必须为本振频率的 2 倍频
H16 H17	I	EXLO_RXP EXLO_RXN	接收机外本振输入，差分 100Ω 特征阻抗，输入频率必须为本振频率的 2 倍频
A10 A11	I	FREFP FREFN	参考时钟输入，差分 100Ω，也可通过 P 端单端隔直输入，此时 N 端通过电容接地
B17 C17	O	TX1_MIX_OUTN TX1_MIX_OUTP	TRX1 发射通道输出，差分 100Ω 特征阻抗
N17 P17	O	TX2_MIX_OUTN TX2_MIX_OUTP	TRX2 发射通道输出，差分 100Ω 特征阻抗
A13	I	IBIAS_RES_10K	偏压参考，接精度 1%电阻
A14	O	AFC_OUT	AUXDAC 模拟信号输出，外接 1μF 滤波电容，输出 0.26V~2.6V 模拟电压，用于控制 VCXO 晶振。默认输出约 1.4V。
A15	I	AUXADC1_IN	AUX ADC1 模拟信号输入，用于将输入模拟信号量化，可用于监控功放输出能量或温度变化。
A16	I	AUXADC2_IN	AUX ADC2 模拟信号输入，用于将输入模拟信号量化，可用于监控功放输

			出能量或温度变化。
A7	I	SYNC_INP	同步信号输入，多芯片同步应用中， 用于同步芯片内部分频器
A8		SYNC_INN	
H8	I	BBPLL_AVDD13	1.3V 电源
J8		FREF_AVDD13	
E9		RX1_ADC_DVDD13	
L9		RX2_ADC_DVDD13	
N9		PLL5_AVDD13	
P9		RXFB_ADC_DVDD13	
C10		BGR_AVDD13	
D10		AUXADC_AVDD13	
E10		RX1_ADC_AVDD13	
F10		RX1_ADC_AVDD13	
G10		PLL3_AVDD13	
H10		EXLO_RX_AVDD13	
J10		PLL4_AVDD13	
K10		RX2_ADC_AVDD13	
L10		RX2_ADC_AVDD13	
M10		PLL5_AVDD13	
P10		RXFB_ADC_AVDD13	
R10		RXFB_ADC_AVDD13	
C11		TX1_DAC_AVDD13	
D11		TX1_DAC_DVDD13	
H11		EXLO_TX_AVDD13	
M11		TX2_DAC_DVDD13	
N11		TX2_DAC_AVDD13	
D12		TX1_DAC_AVDD13	
E12		RX1_AVDD13	
L12		RX2_AVDD13	
M12		TX2_DAC_AVDD13	
R12		RXFB_AVDD13	
C13		TX1_LPF_AVDD13	
D13		TX1_LPF_AVDD13	
E13		RX1_AVDD13	
F13		RX1_AVDD13	
G13		PLL1_AVDD13	
J13		PLL2_AVDD13	
K13		RX2_AVDD13	
L13		RX2_AVDD13	
M13		TX2_LPF_AVDD13	
N13		TX2_LPF_AVDD13	
P13		RXFB_AVDD13	
R13		RXFB_AVDD13	
G14		PLL3_AFC_AVDD13	
J14		PLL4_AFC_AVDD13	
C15		TX1_LO_DVDD13	
E15		RX1_AVDD13	
F15		RX1_LO_AVDD13	
G15		PLL1_AFC_AVDD13	

J15 K15 L15 N15 P15 R15 C16 N16		PLL2_AFC_AVDD13 RX2_LO_AVDD13 RX2_AVDD13 TX2_LO_DVDD13 RXFB_LO_AVDD13 RXFB_AVDD13 TX1_MIX_AVDD13 TX2_MIX_AVDD13	
G8 N8 C9 G11 J11 G12 J12	I/O	BBPLL_AVDD25 PLL5_AVDD25 AUXDAC_AVDD25 PLL3_AVDD25 PLL4_AVDD25 PLL1_AVDD25 PLL2_AVDD25	2.5V 电源
D6 F6 H6 K6 M6 P6	I/O	DVDD13 DVDD13 DVDD13 DVDD13 DVDD13 DVDD13	数字部分的 1.3V 电源供电
E6 J6 N6	I/O	DVDD25 DVDD25 DVDD25	数字 IO 端口电源供电（根据设计可在 1.8V~3.3V 电压之间任意选择，默认使用 2.5V）
M8 G9 J9 F11 K12	I/O	PLL5_LDO_INOUT PLL3_LDO_INOUT PLL4_LDO_INOUT PLL1_LDO_INOUT PLL2_LDO_INOUT	芯片内部 LDO 模块电压输出用于电源片外滤波，外接片外滤波电容
K8	I/O	BBPLL_LDO_INOUT	芯片内部 LDO 模块电压输出用于电源片外滤波，外接片外滤波电容
B7、B8、C8、D8、E8、F8、 L8、P8、R8、T8、U8、A9、 B9、D9、F9、H9、K9、 M9、R9、T9、U9、B10、 N10、T10、U10、B11、 E11、K11、L11、P11、R11、 T11、U11、A12、B12、 C12、F12、N12、P12、T12、 U12、B13、T13、U13、 B14、C14、D14、E14、F14、 H14、K14、L14、M14、 N14、P14、R14、T14、 U14、B15、D15、H15、 M15、T15、U15、B16、 D16、E16、F16、G16、J16、 K16、L16、M16、P16、 R16、T16、U16、A17、	I/O	AVSS	模拟部分接地

D17、G17、J17、M17、R17、			
K1、K2、J3、H4、H5、A6、B6、C6、G6、L6、C7、D7、E7、M7、N7、P7、R7、T7、U7、	I/O	DVSS	数字部分接地
F7、G7、H7、J7、K7、L7	I/O	ISO_AVSS	隔离地

典型性能参数图

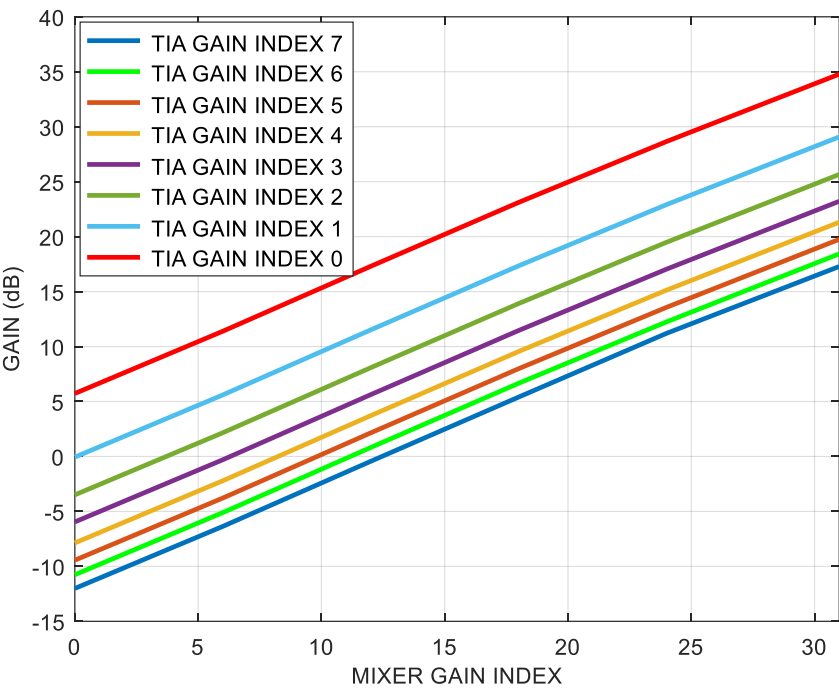


图 5 接收通道增益

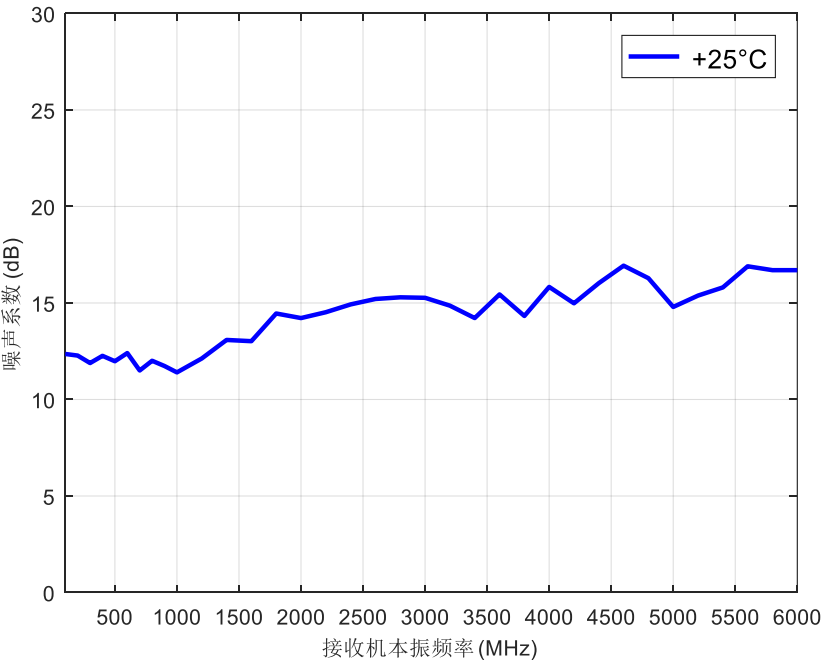


图 6 接收通道噪声系数（TIA_GAIN_INDEX=6）

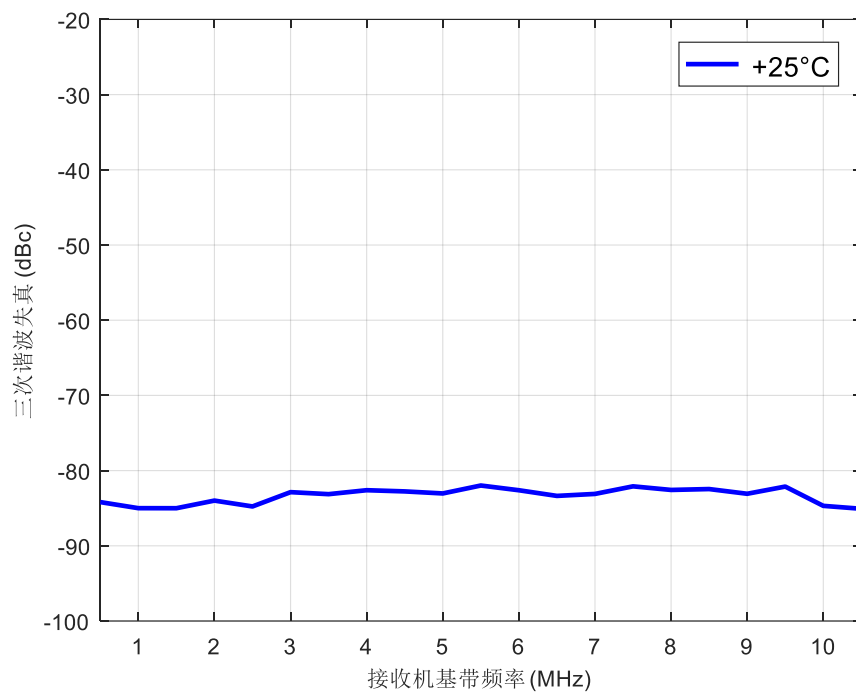


图 7 接收通道 HD3

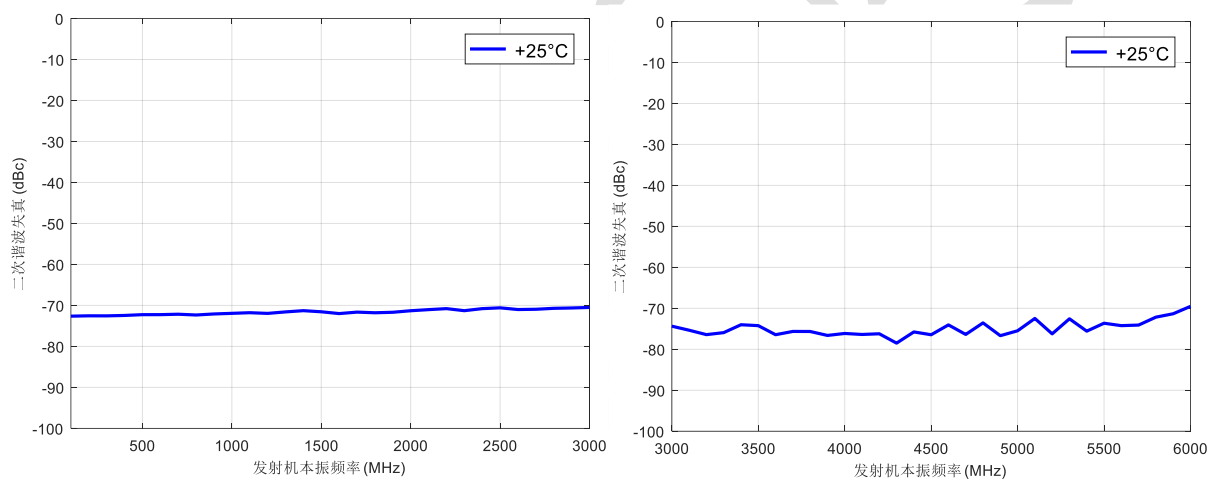


图 8 发射通道 HD2

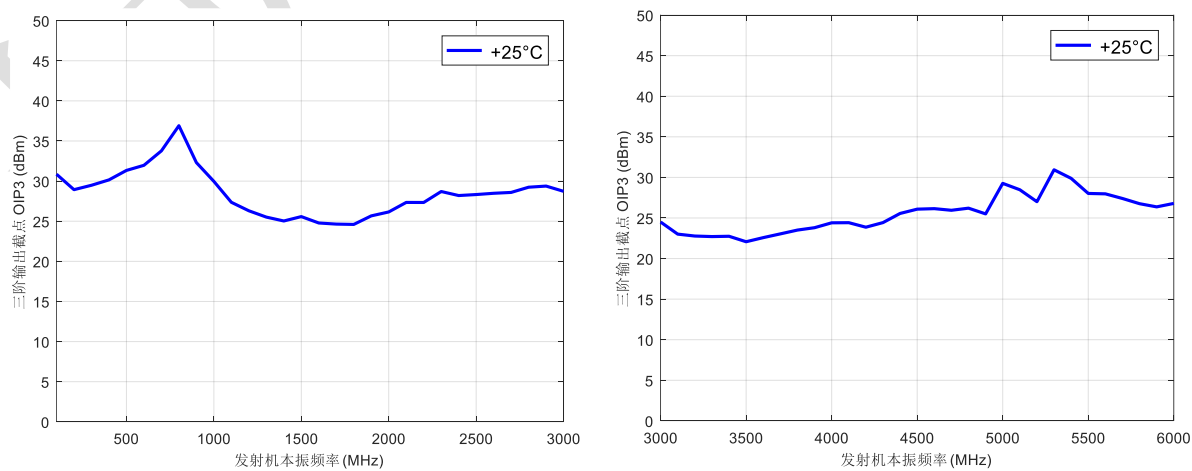


图 9 发射通道 OIP3

200 MHz 频段

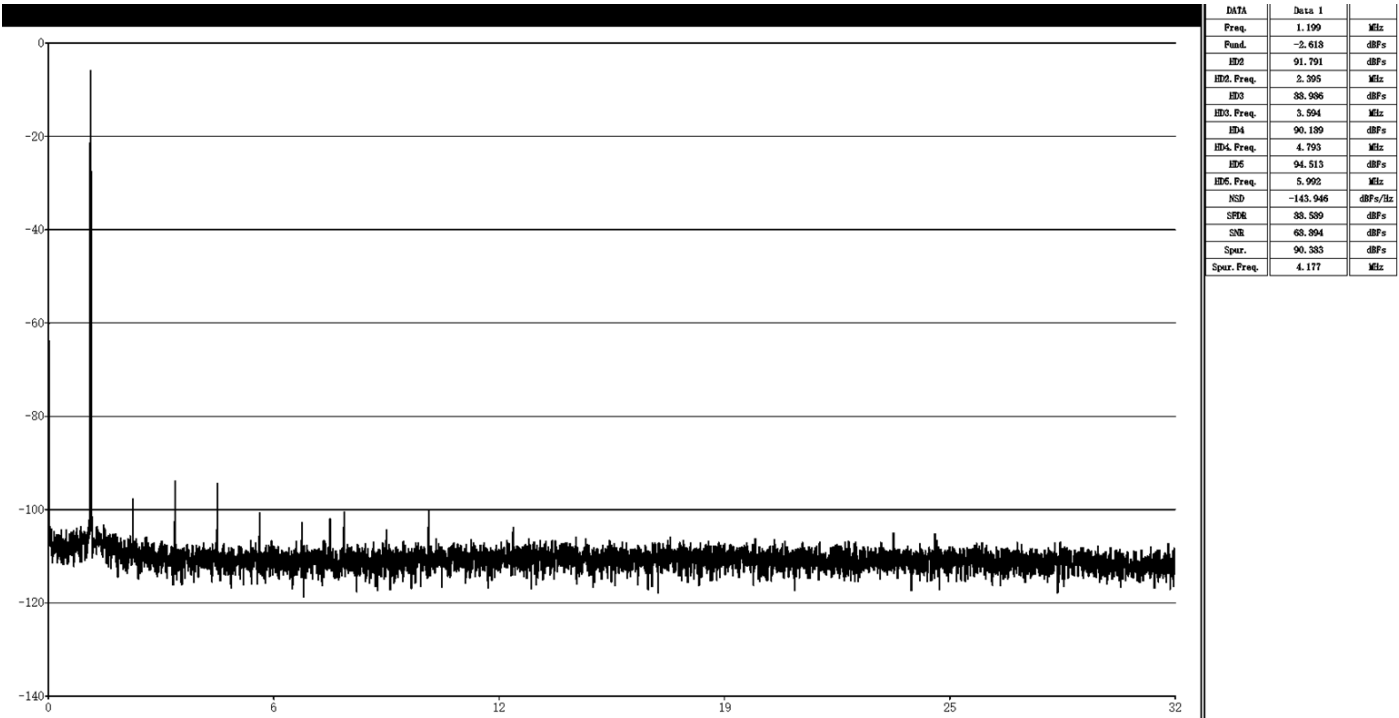


图 10 LO 频率 200MHz 通道无衰减时 RX 单音输入频谱图

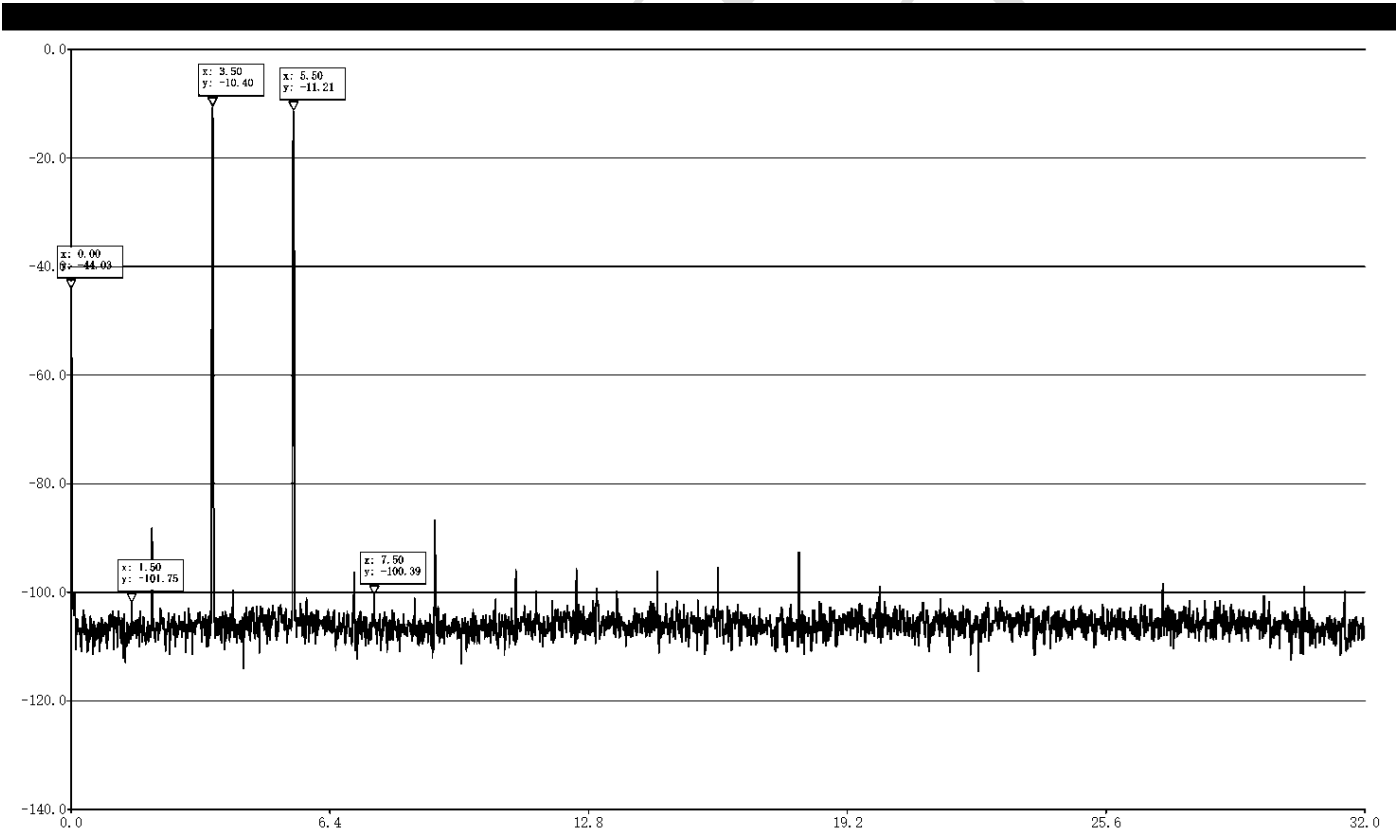


图 11 LO 频率 200MHz 通道无衰减时 RX 双音输入频谱图

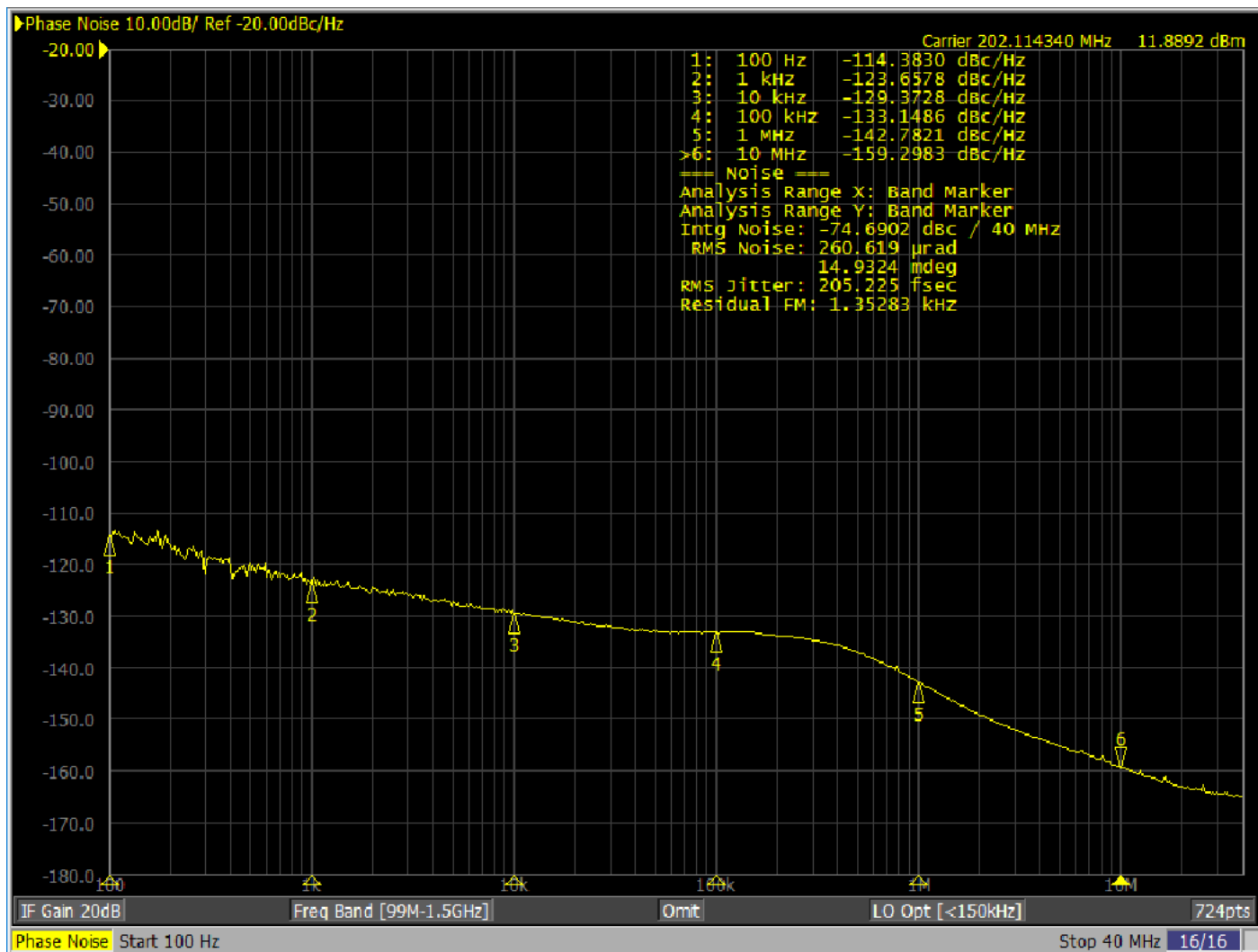


图 12 常温下 LOPLL 相位噪声图@200MHz

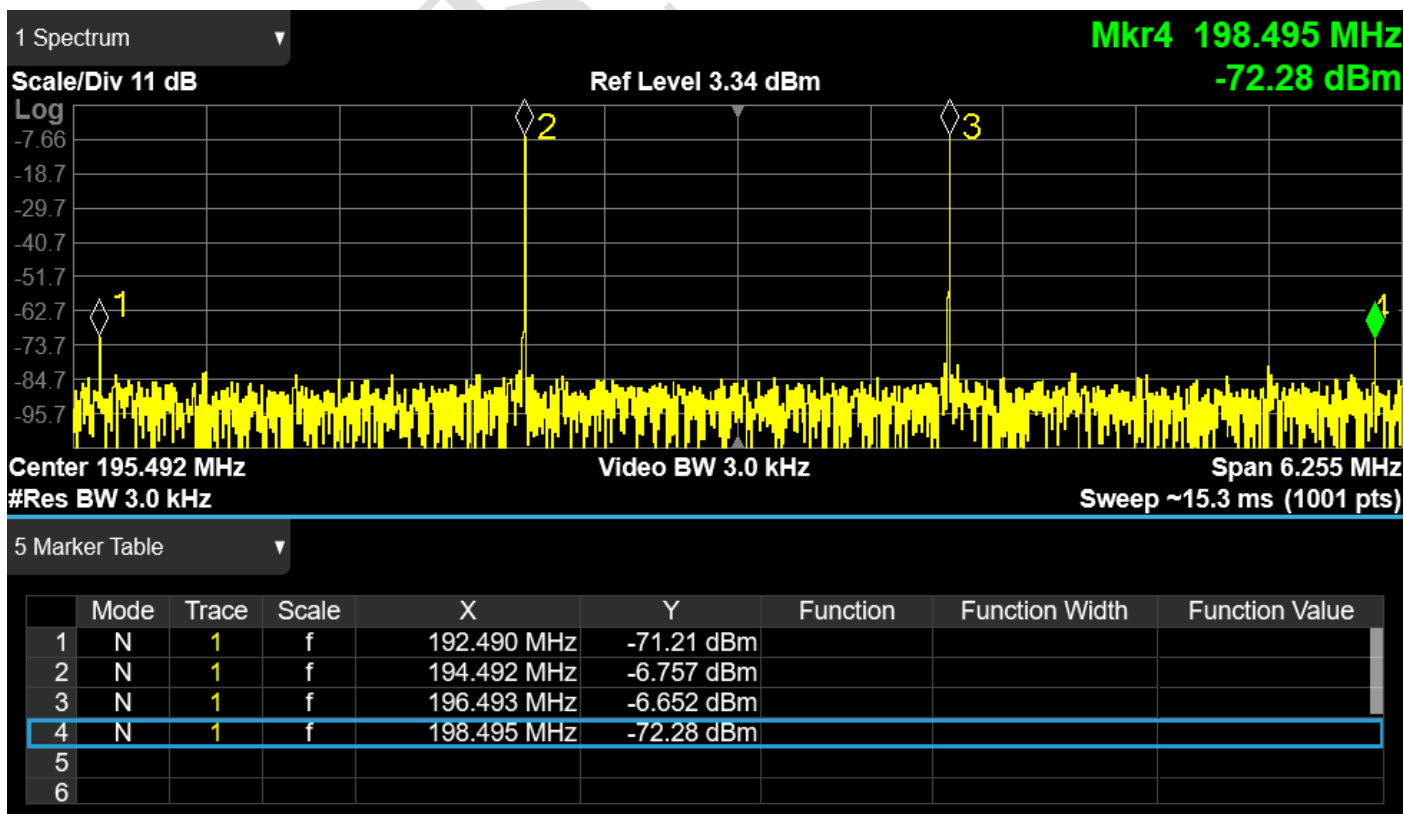


图 13 常温下 TX 200MHz 输出双音频谱

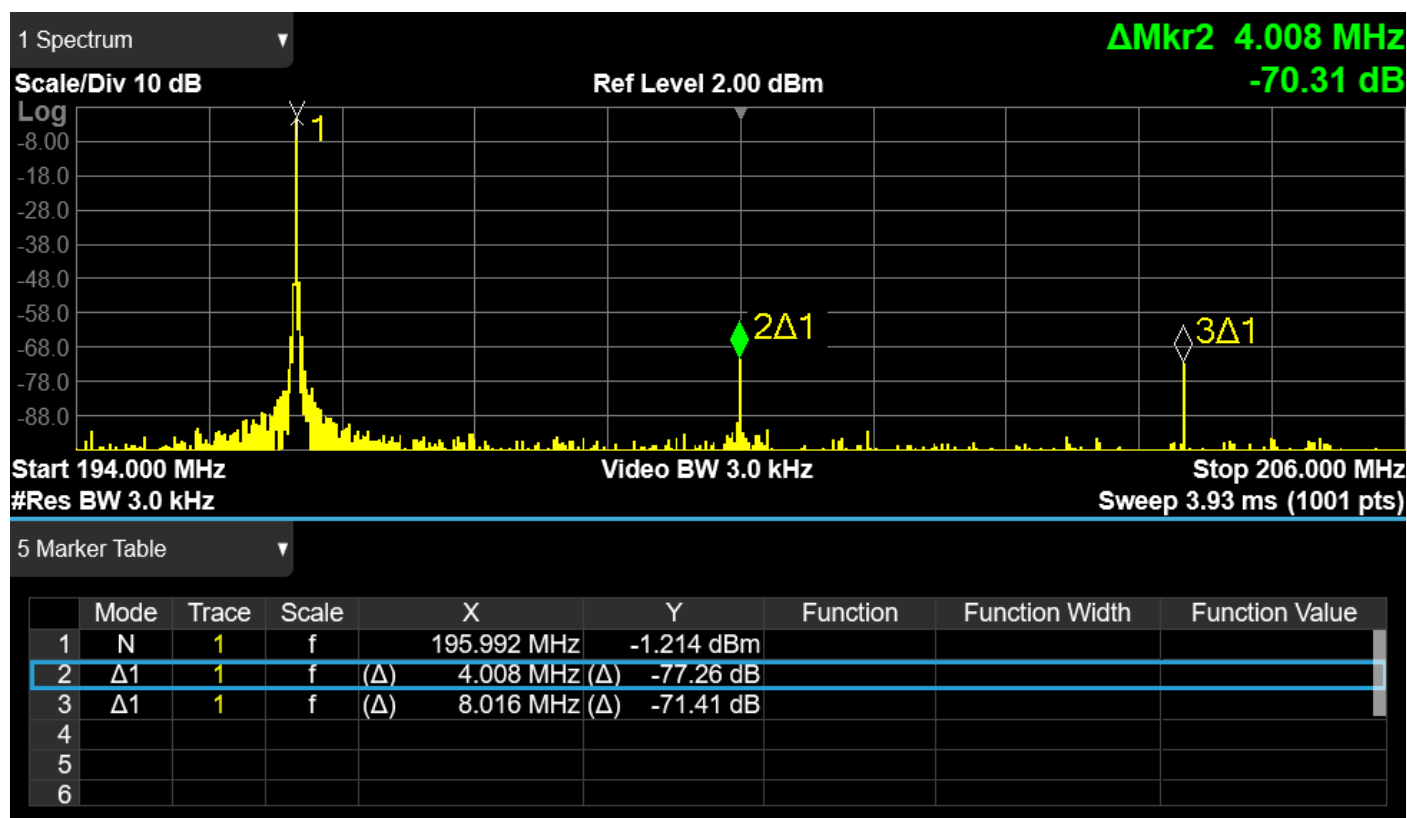


图 14 常温下 TX 200MHz 镜像抑制和本振泄漏

900MHz 频段

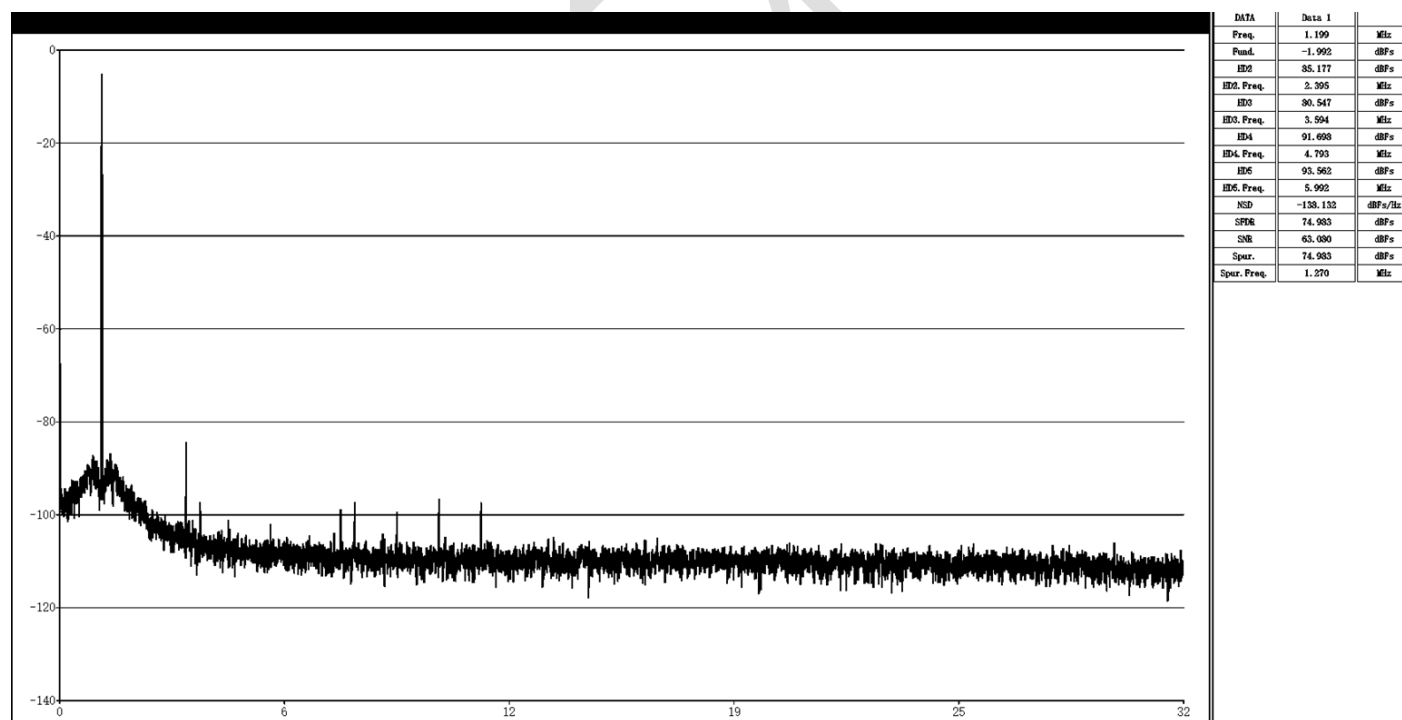


图 15 LO 频率 900MHz 通道无衰减时 RX 单音输入频谱图

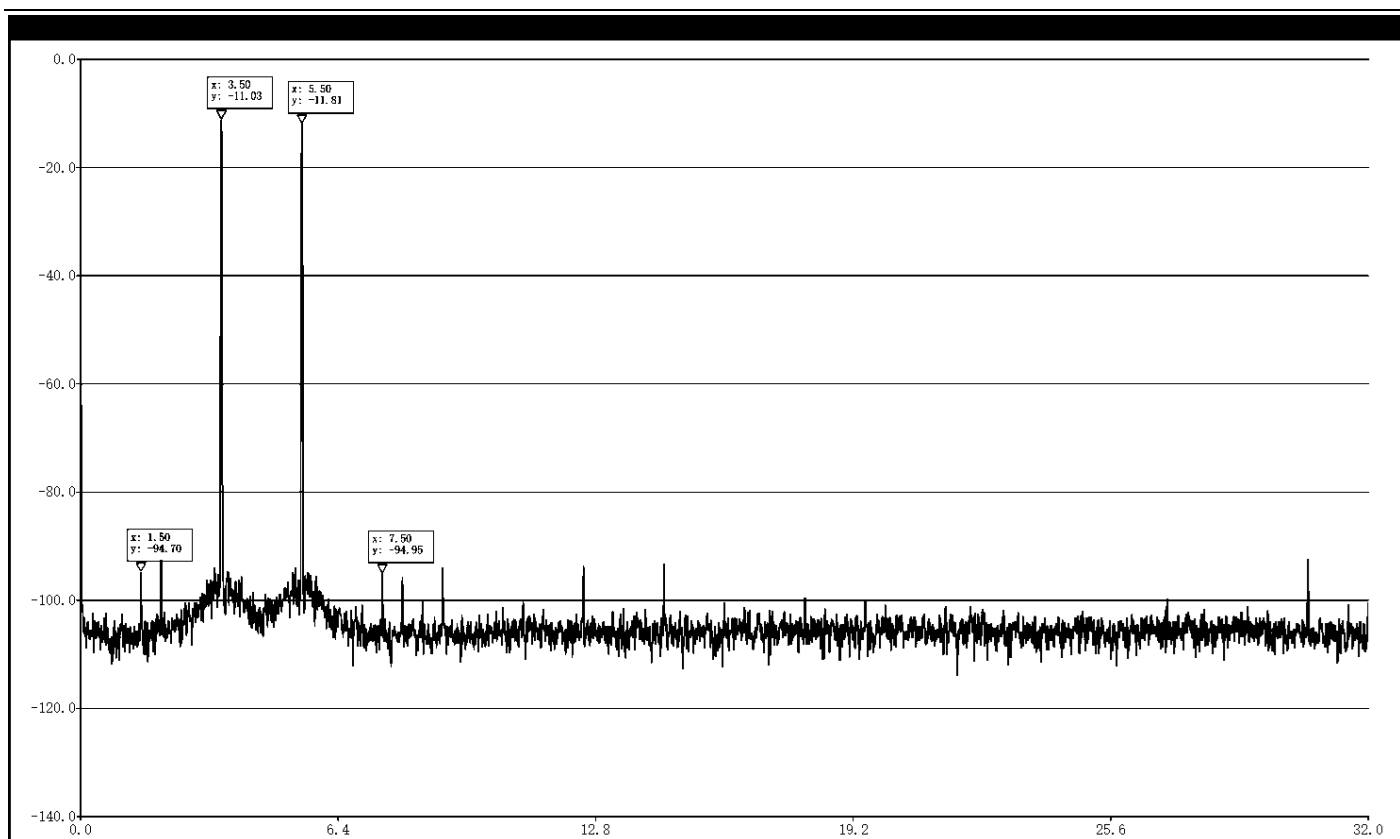


图 16 LO 频率 900MHz 通道无衰减时 RX 双音输入频谱图

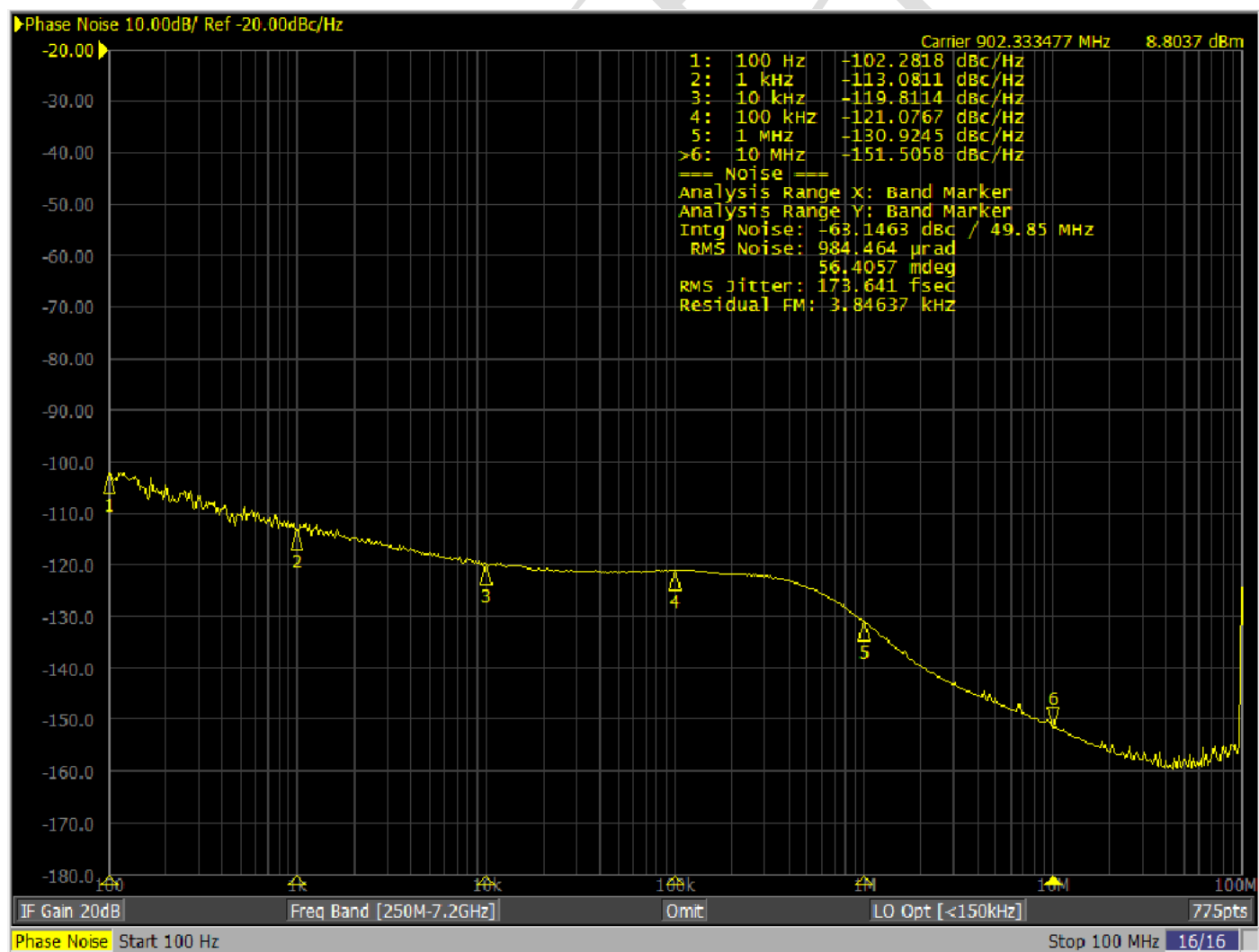


图 17 常温下 LOPLL 相位噪声图@900MHz

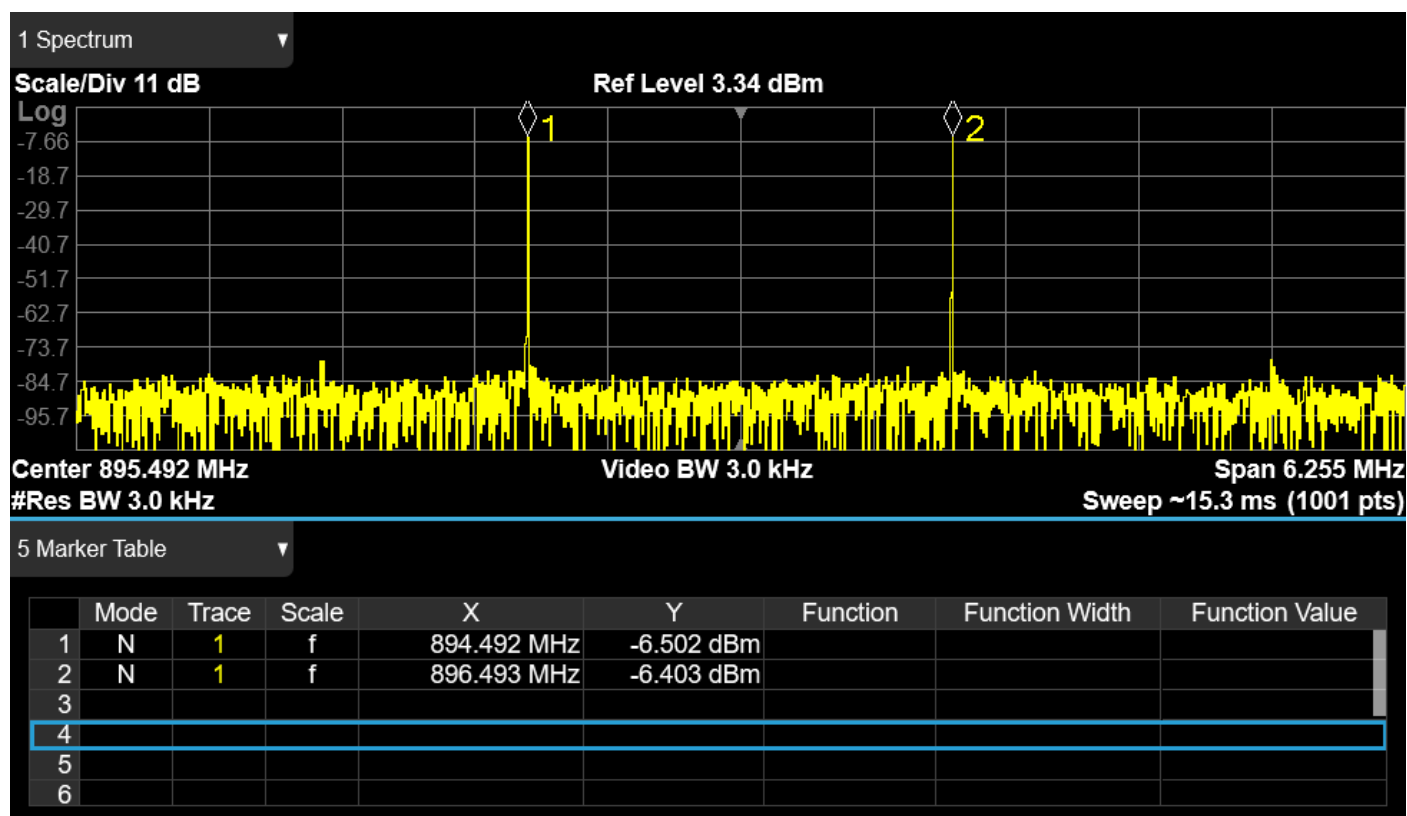


图 18 常温下 TX 900MHz 输出双音频谱

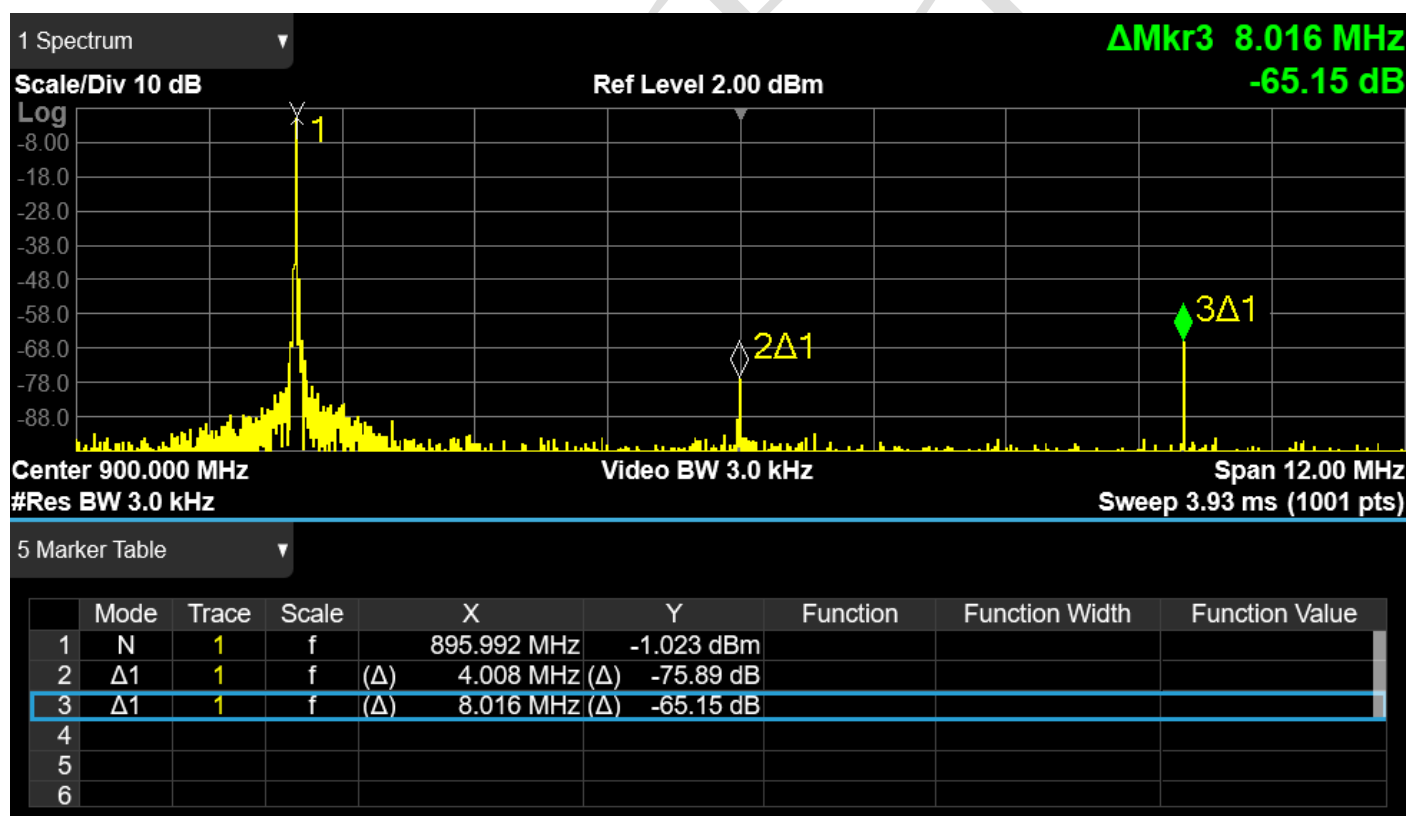


图 19 常温下 TX 900MHz 镜像抑制和本振泄漏

1.5GHz 频段

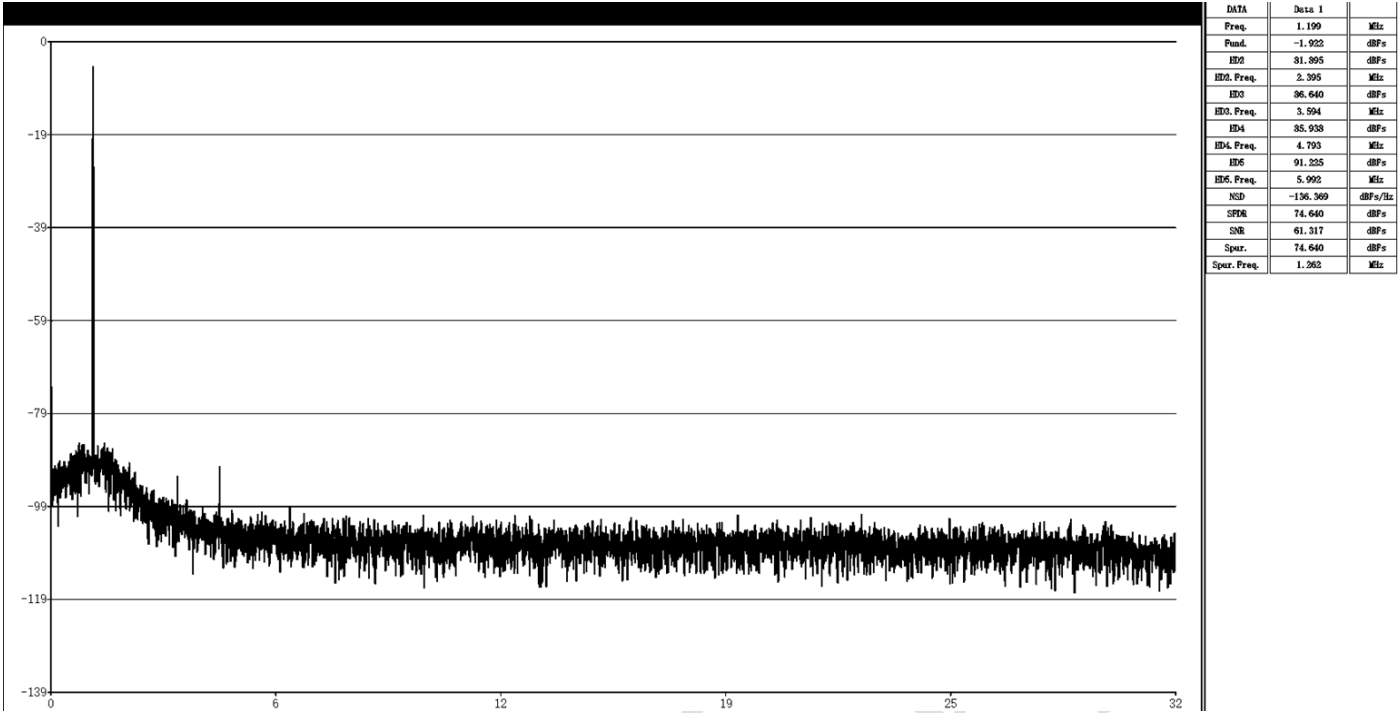


图 20 LO 频率 1.5GHz 通道无衰减时 RX 单音输入频谱图

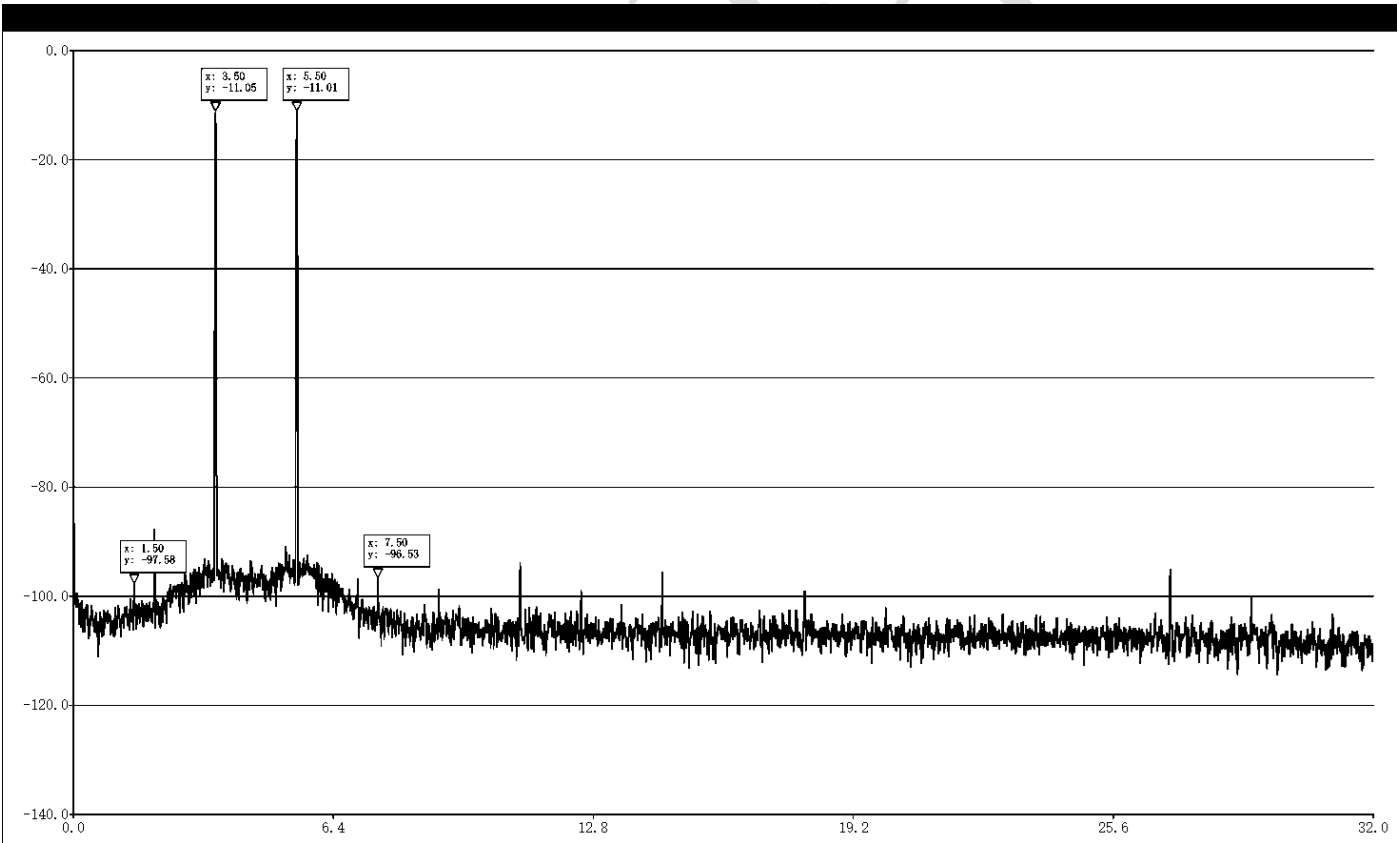


图 21 LO 频率 1.5GHz 通道无衰减时 RX 双音输入频谱图

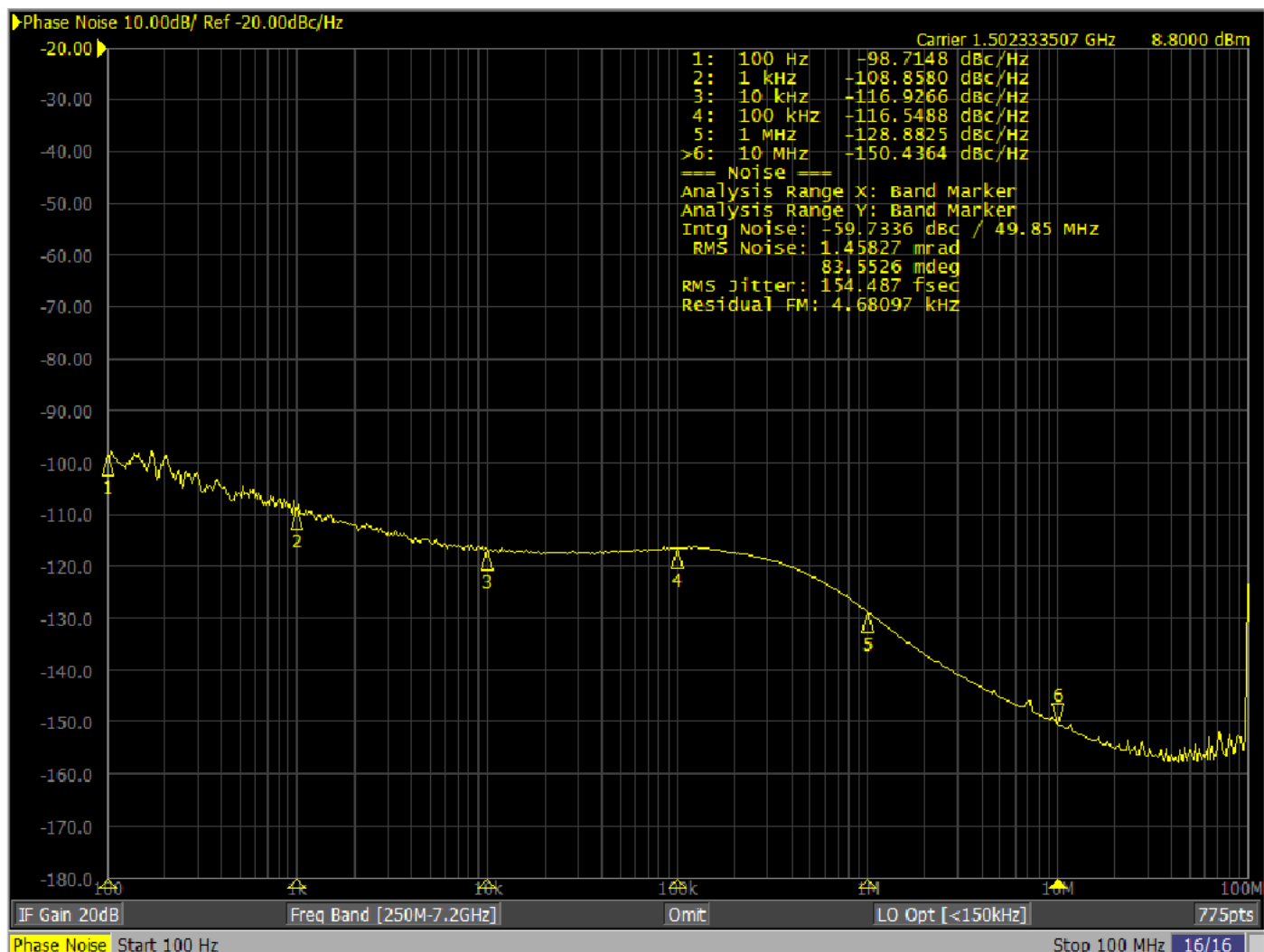


图 22 常温下 LOPLL 相位噪声图@1.5GHz

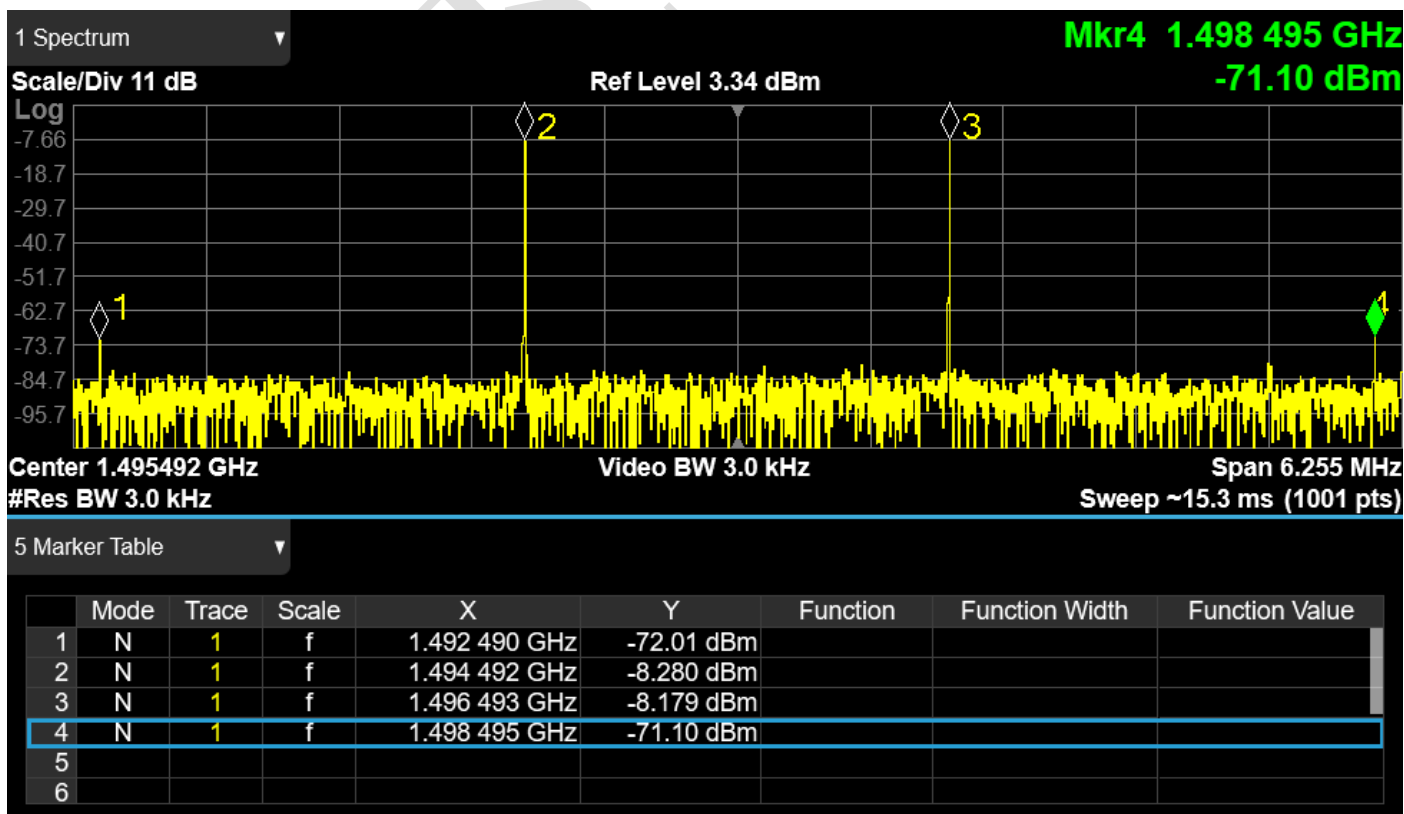


图 23 常温下 TX 1.5GHz 输出双音频频谱

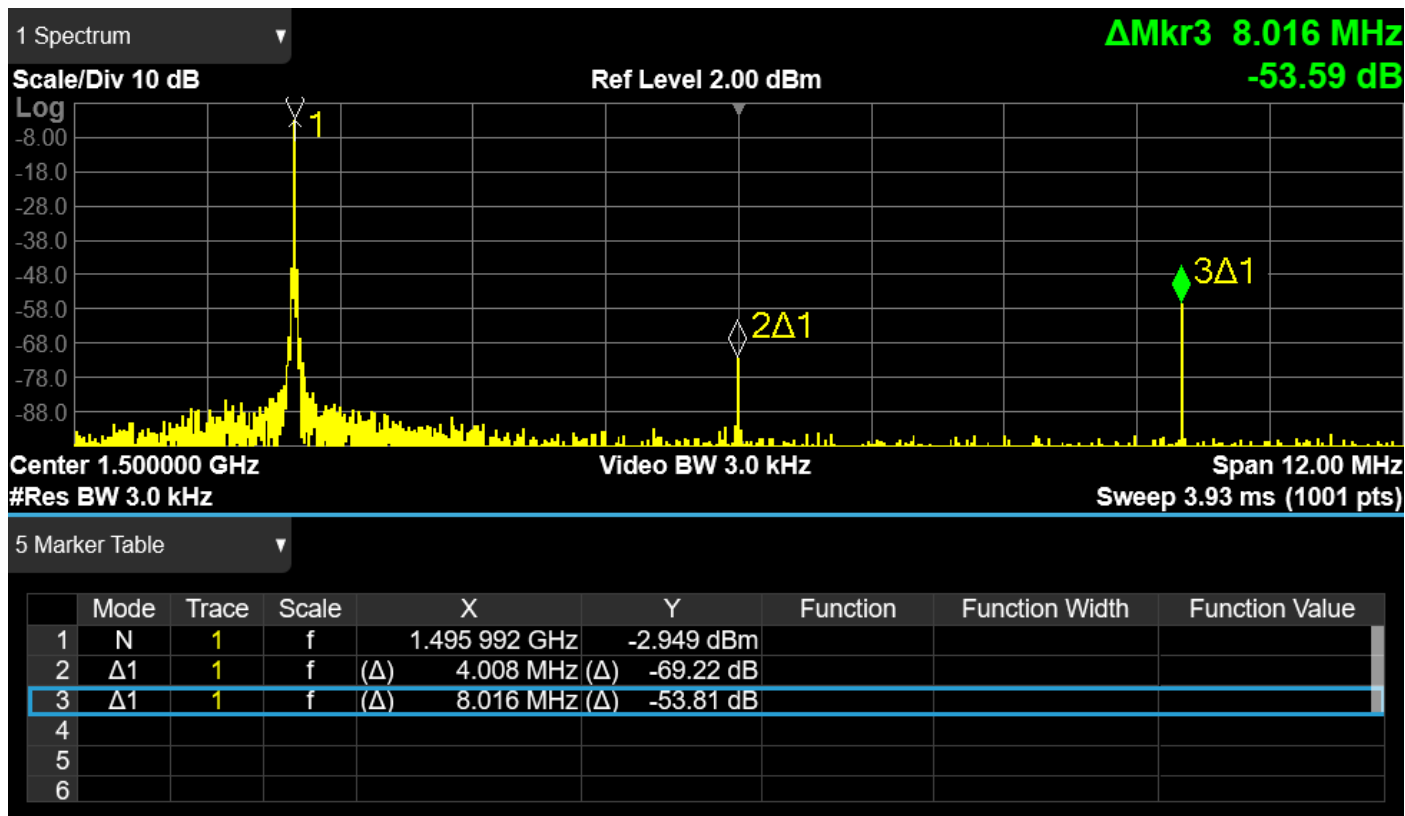


图 24 常温下 TX 1.5GHz 镜像抑制和本振泄漏

2.5GHz 频段

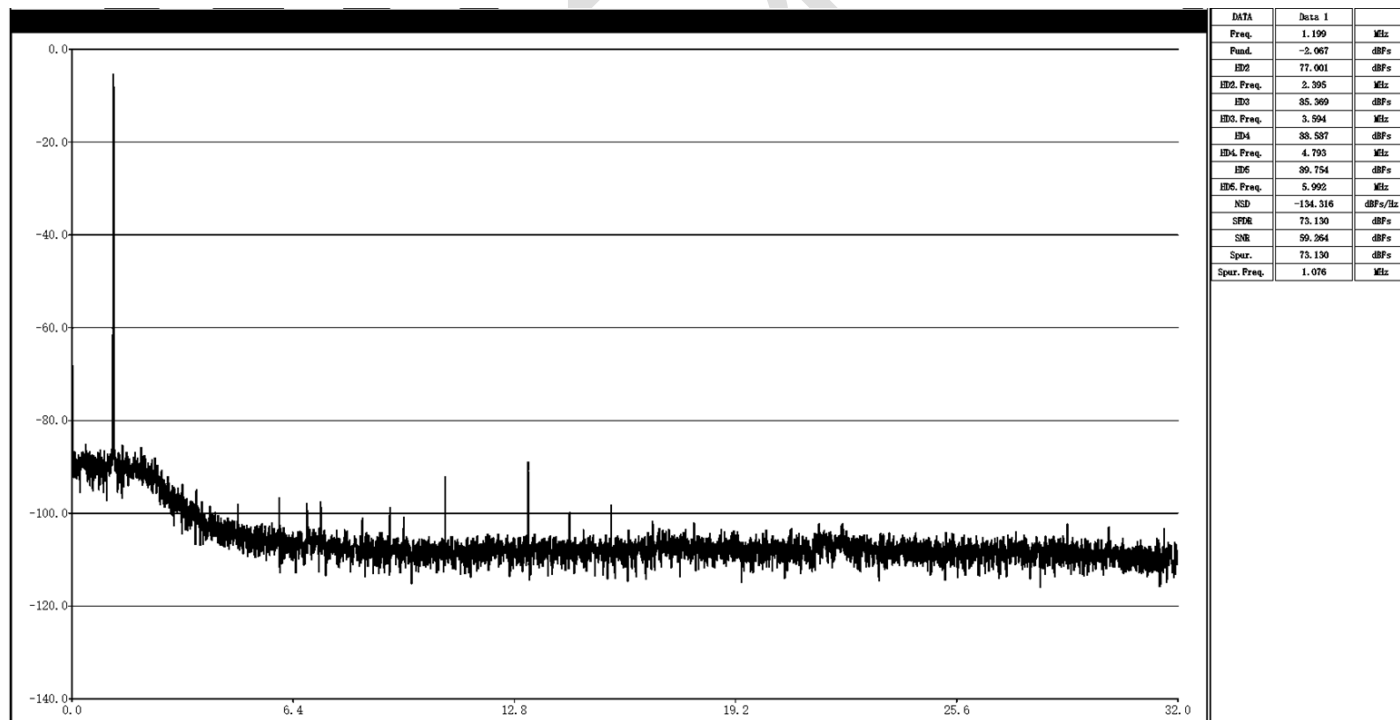


图 25 LO 频率 2.5GHz 通道无衰减时 RX 单音输入频谱图

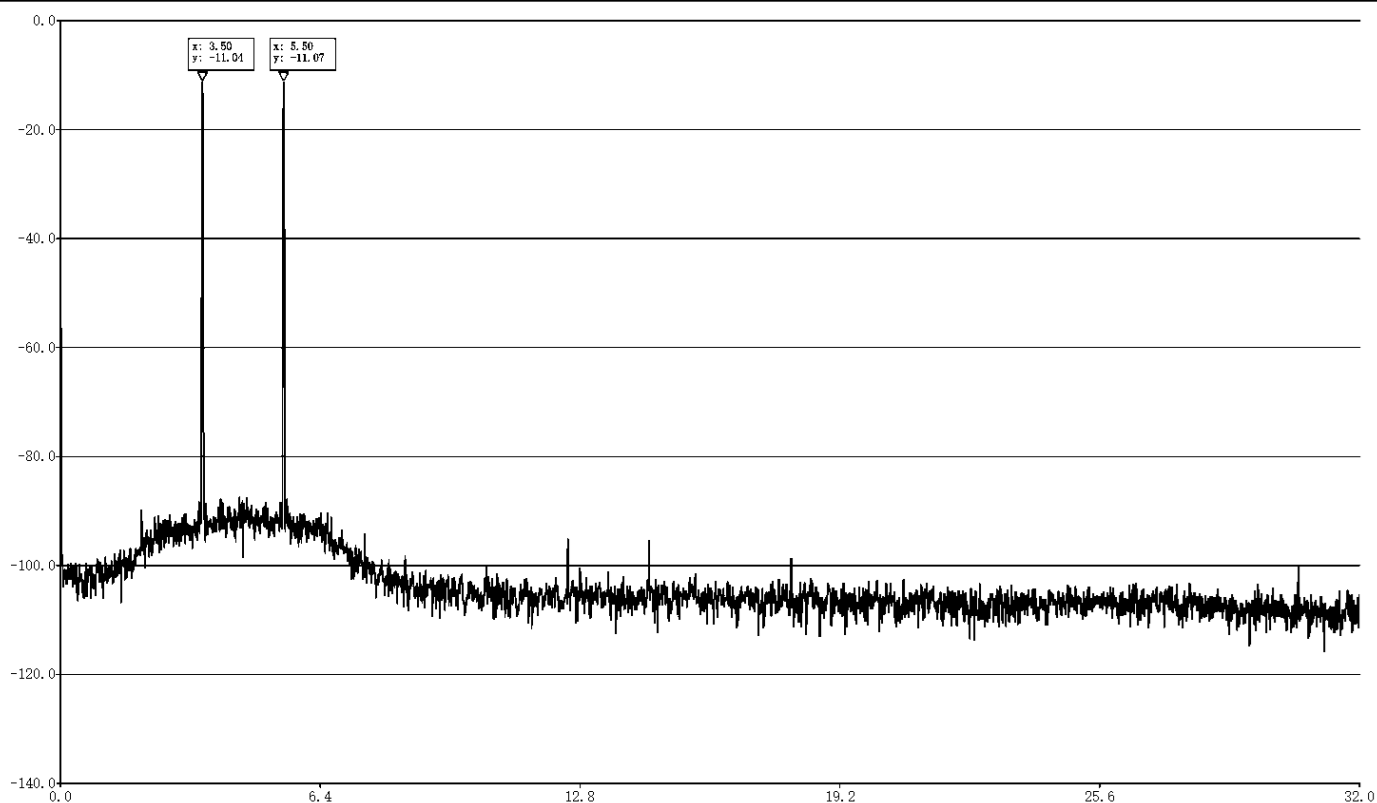


图 26 LO 频率 2.5GHz 通道无衰减时 RX 双音输入频谱图

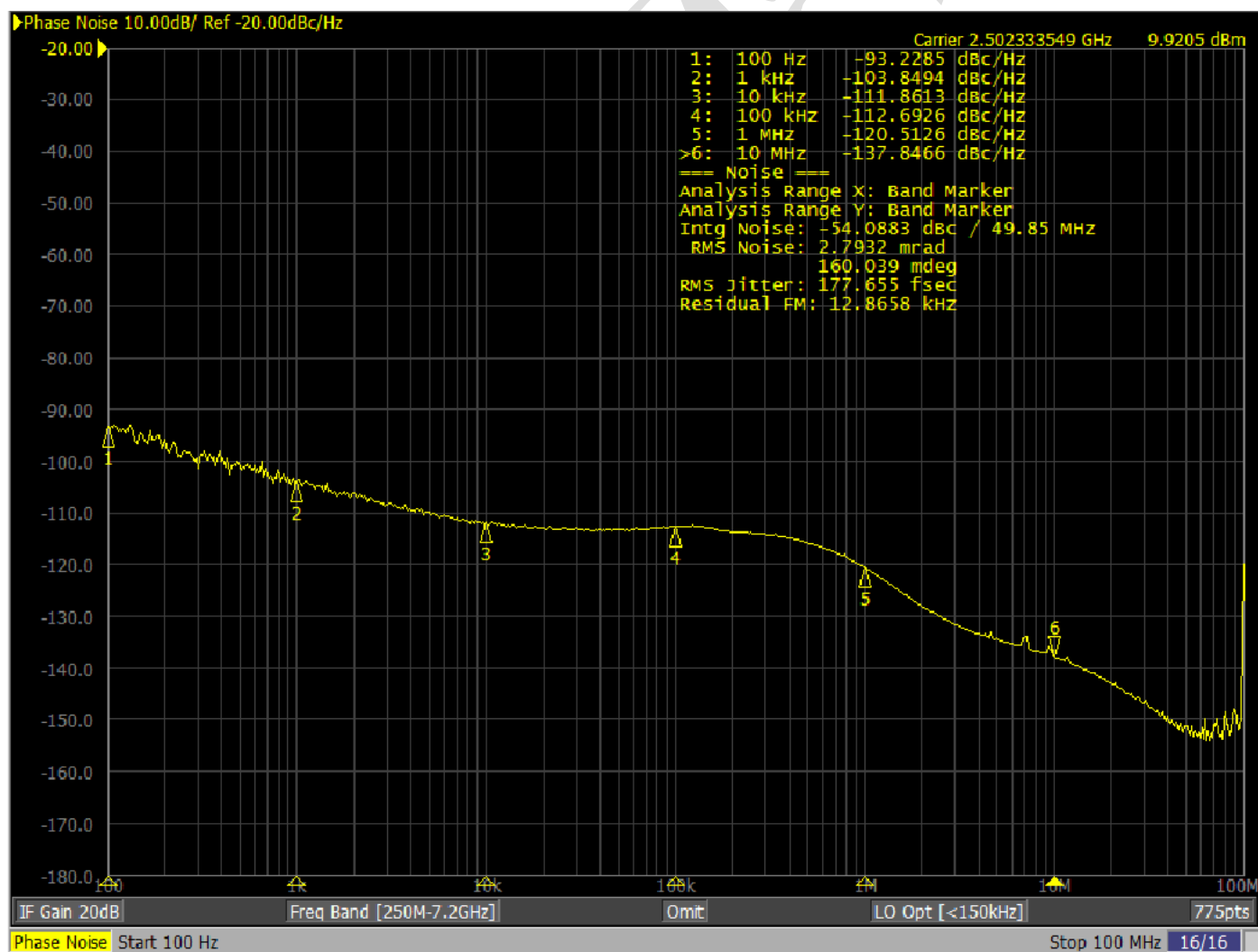


图 27 常温下 LOPLL 相位噪声图@2.5GHz

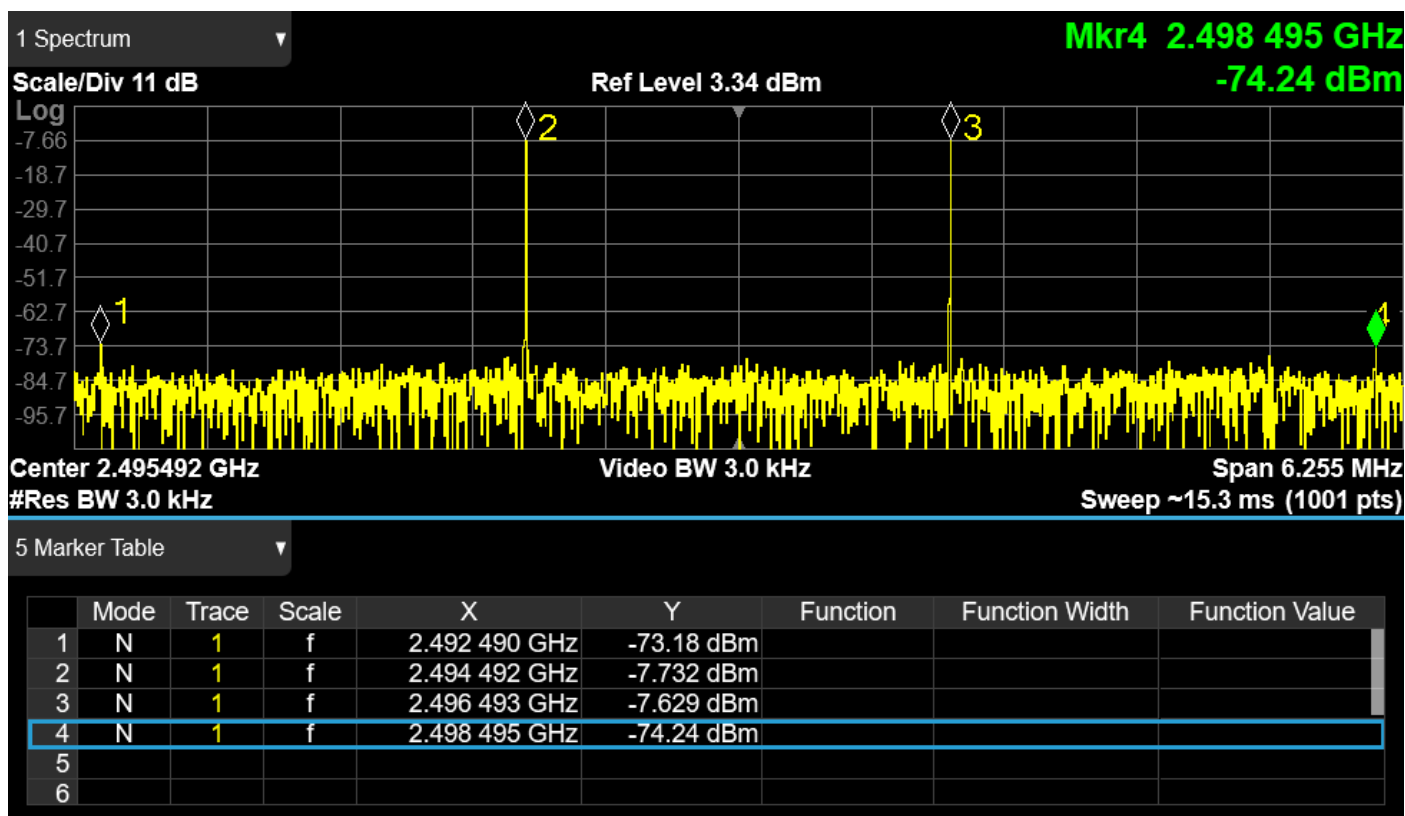


图 28 常温下 TX 2.5GHz 输出双音频频谱

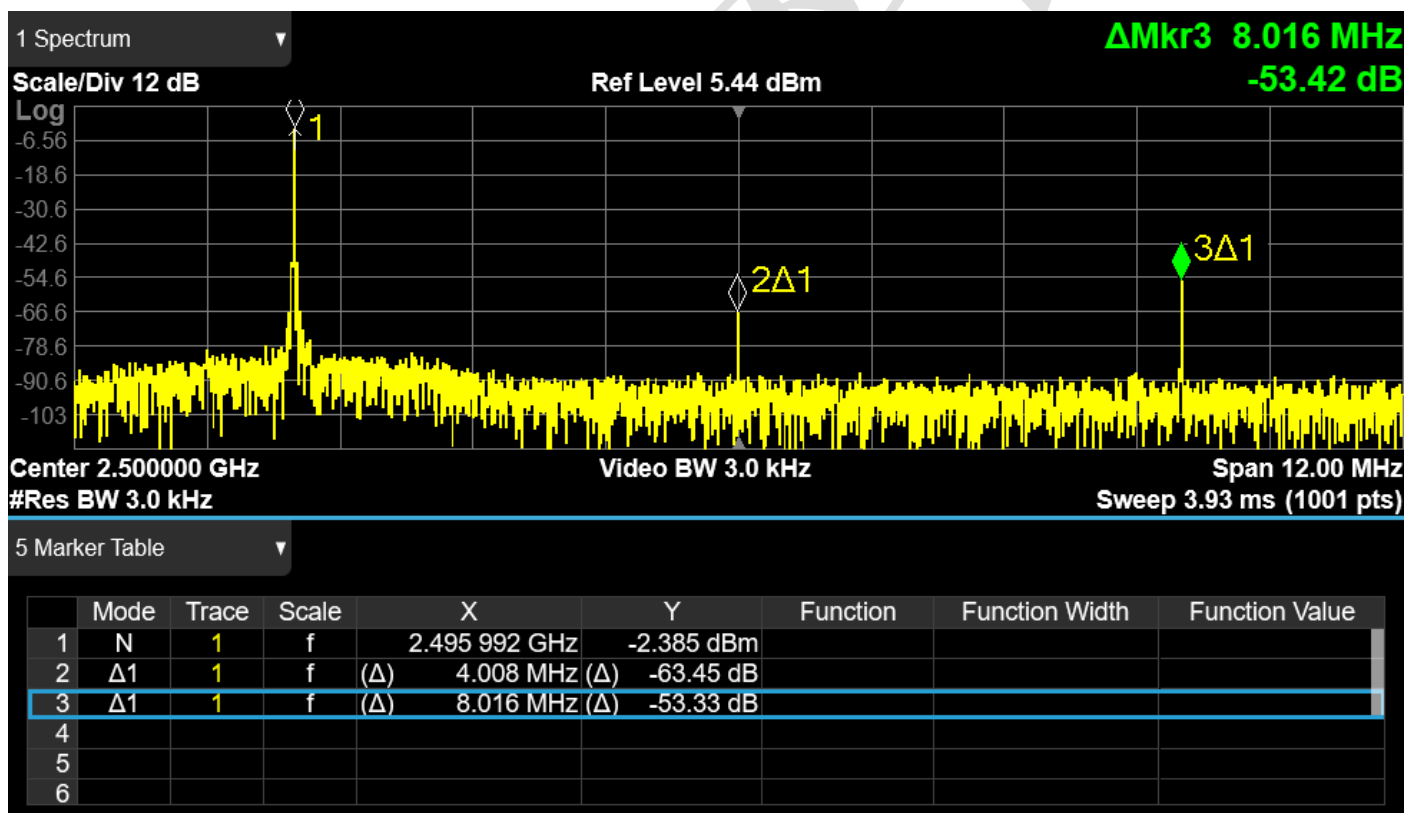


图 29 常温下 TX 2.5GHz 镜像抑制和本振泄漏

3.5GHz 频段

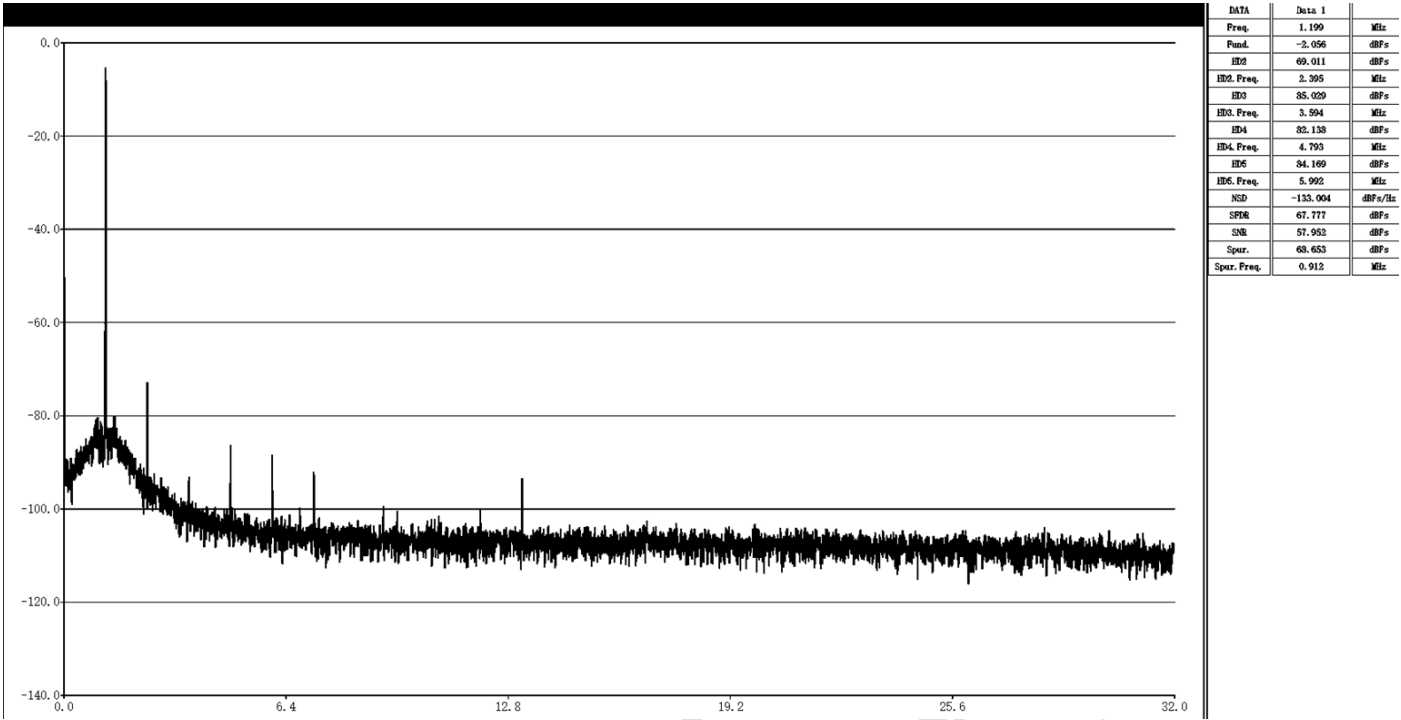


图 30 LO 频率 3.5GHz 通道无衰减时 RX 单音输入频谱图

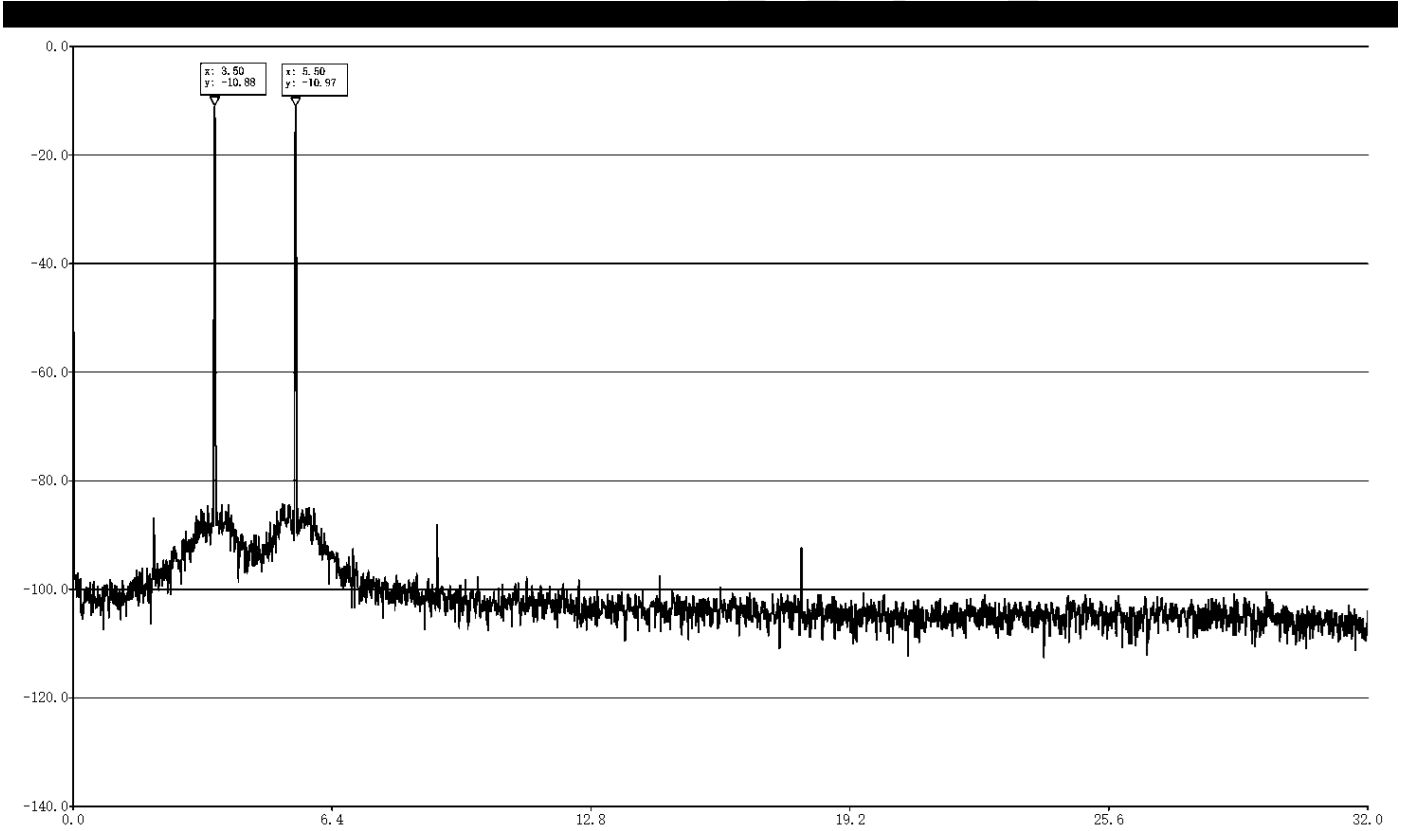


图 31 LO 频率 3.5GHz 通道无衰减时 RX 双音输入频谱图

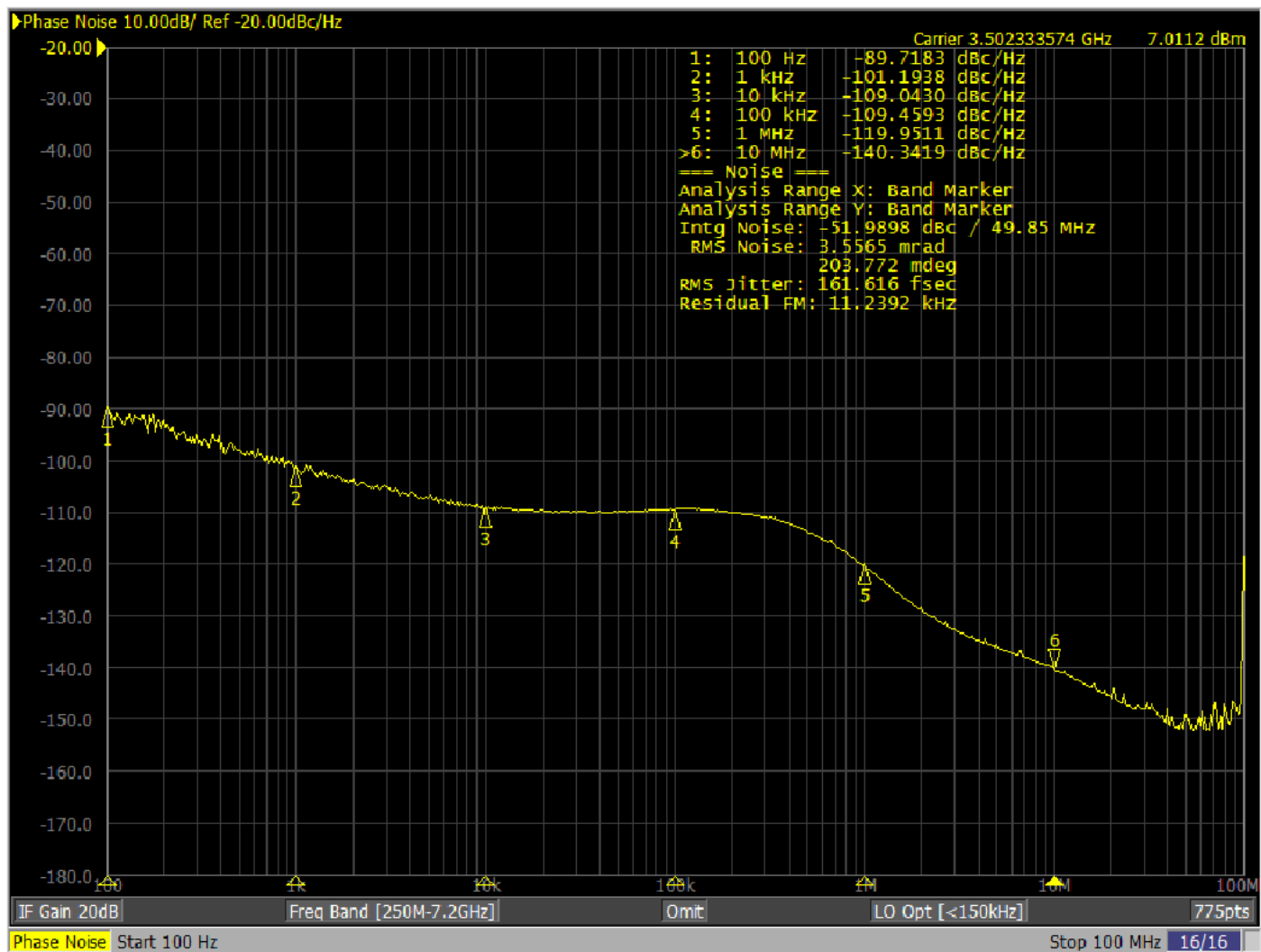


图 32 常温下 LOPLL 相位噪声图@3.5GHz

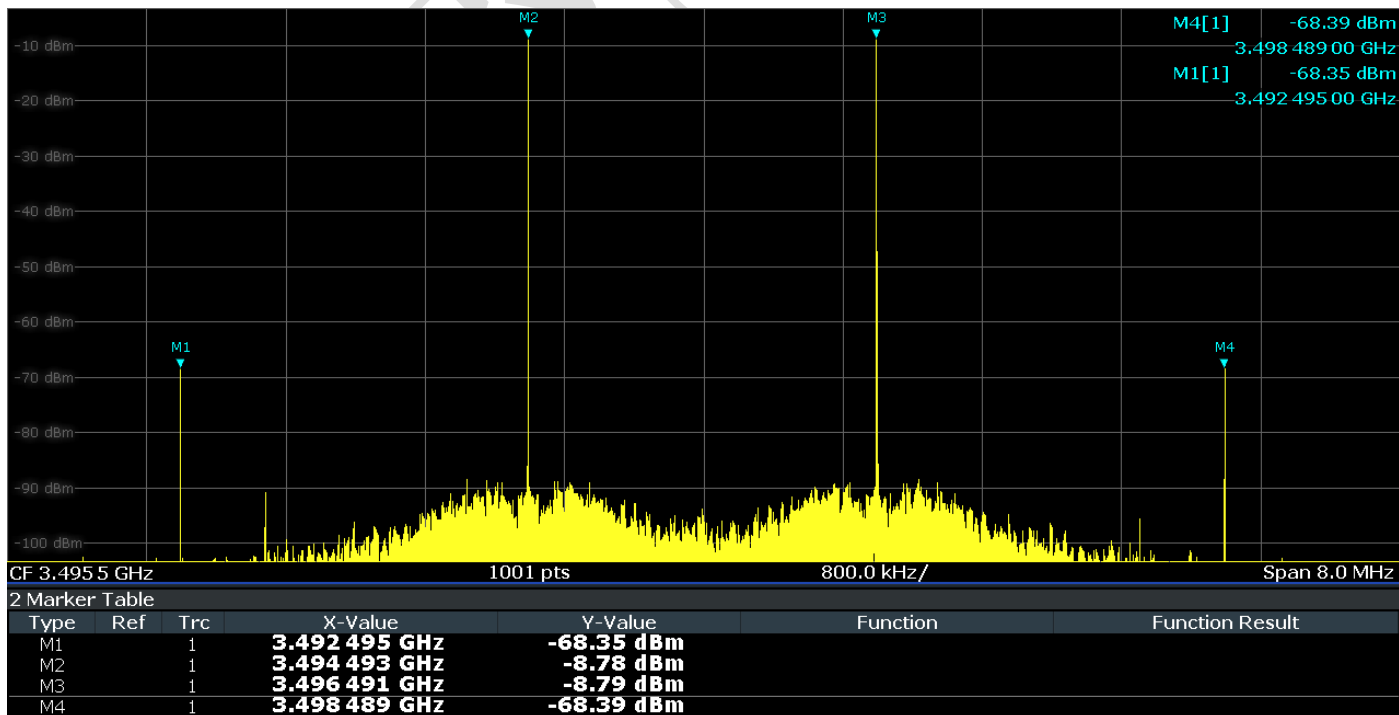


图 33 常温下 TX 3.5GHz 输出双音频频谱

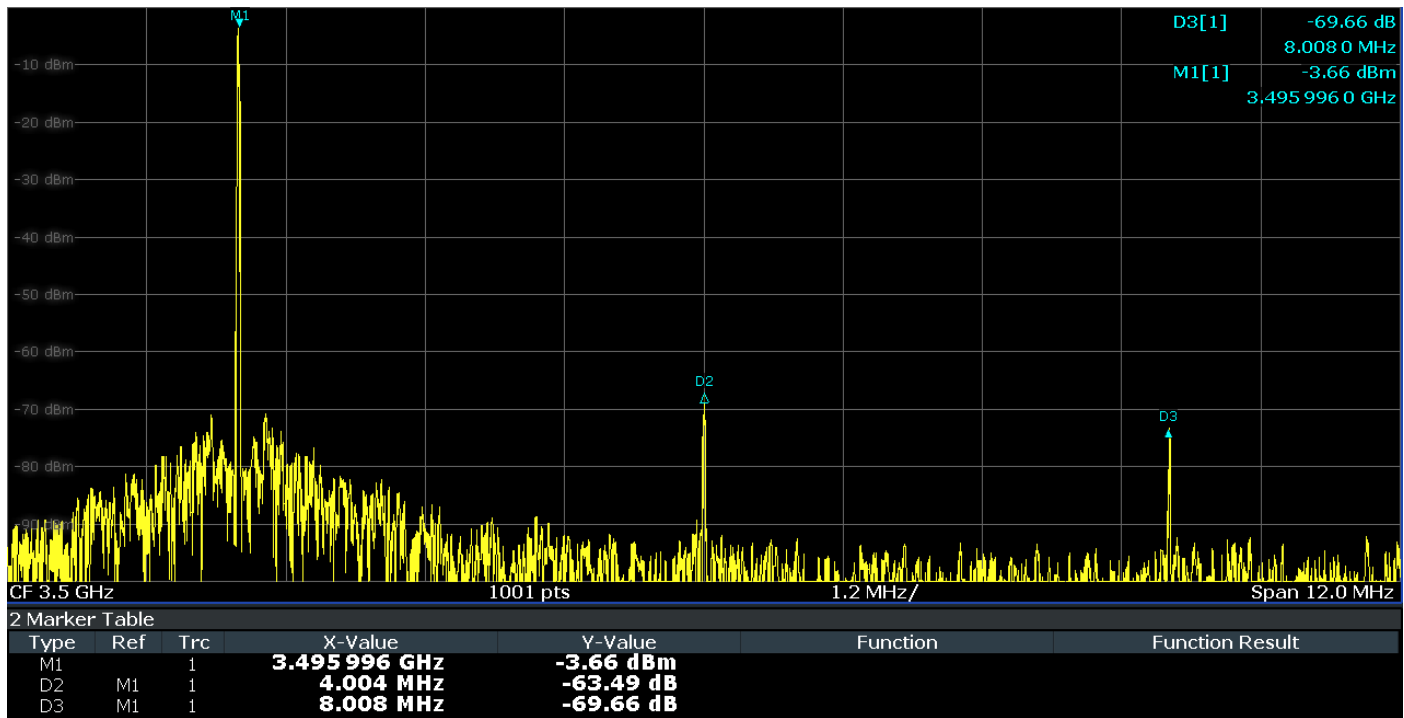


图 34 常温下 TX 3.5GHz 镜像抑制和本振泄漏

5.8GHz 频段

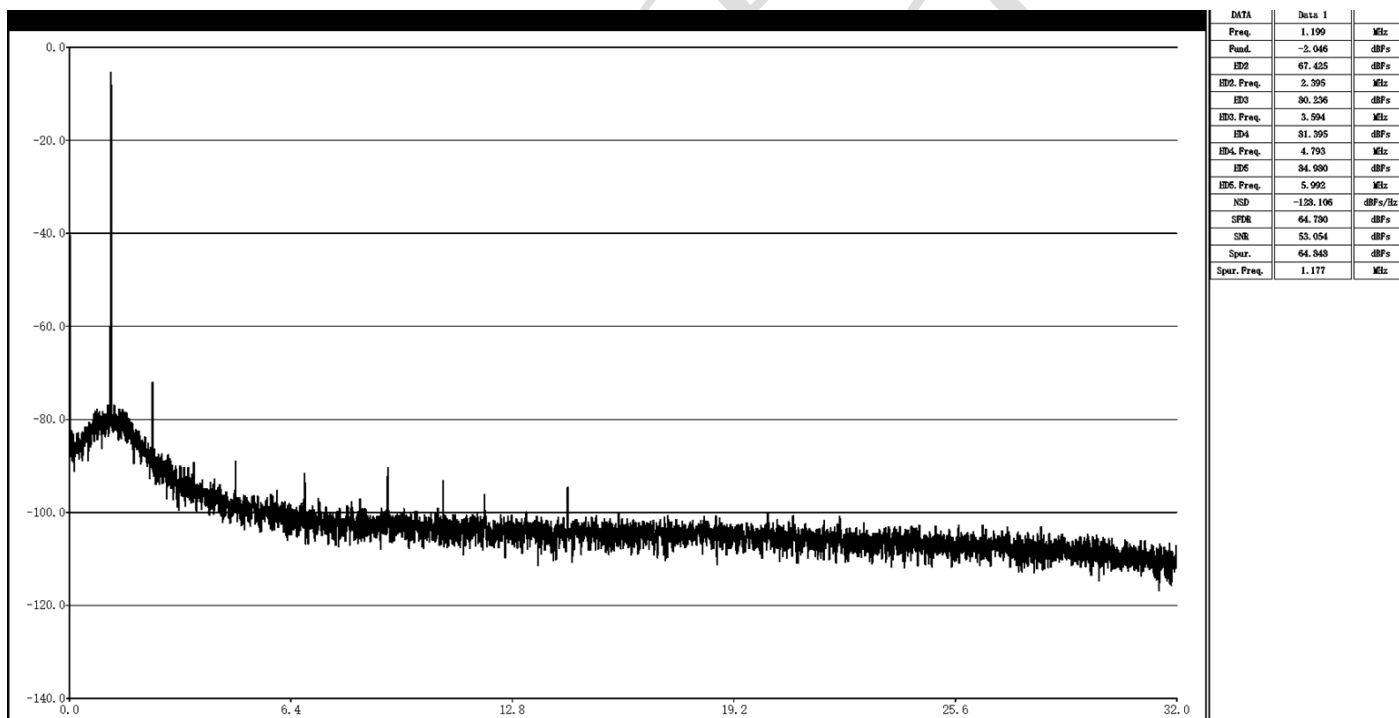


图 35 LO 频率 5.8GHz 通道无衰减时 RX 单音输入频谱图

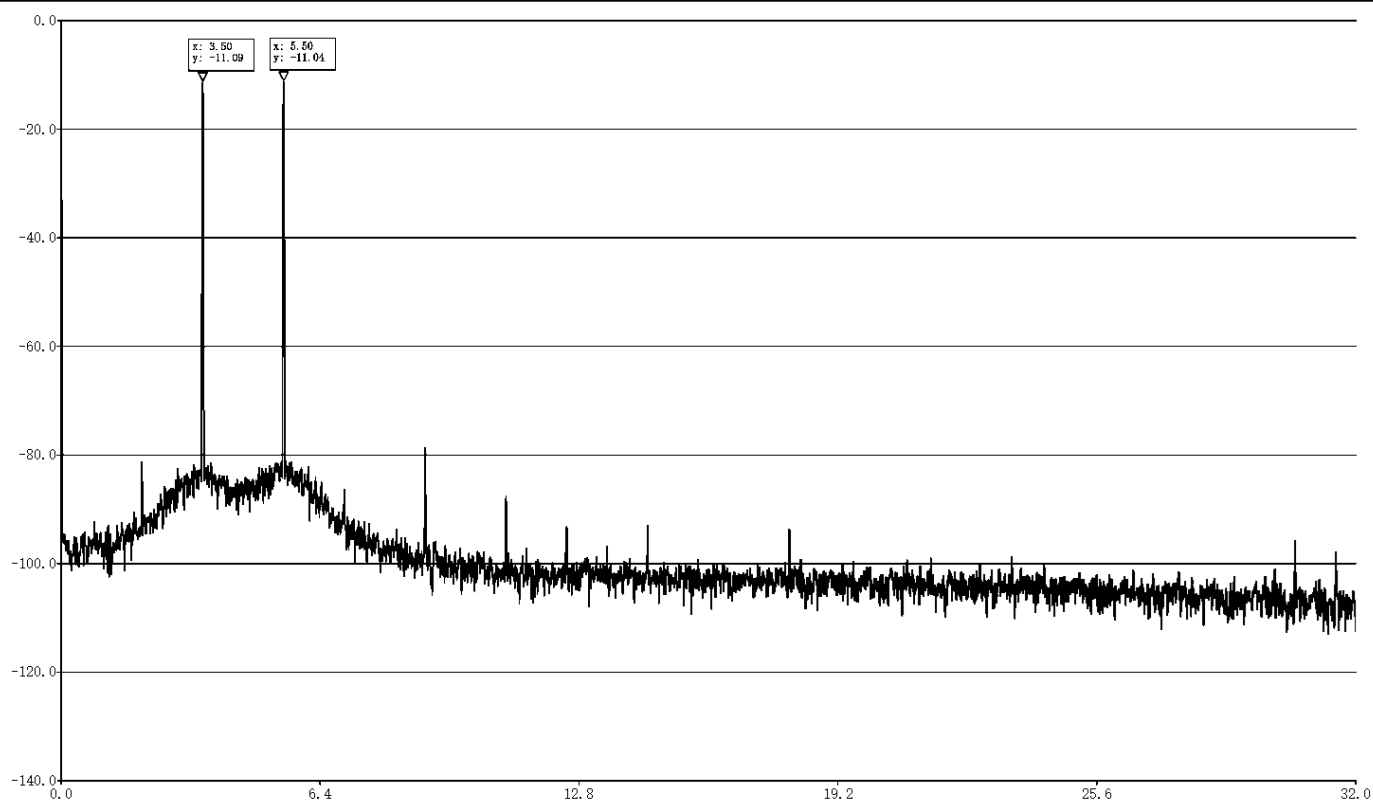


图 36 LO 频率 5.8GHz 通道无衰减时 RX 双音输入频谱图

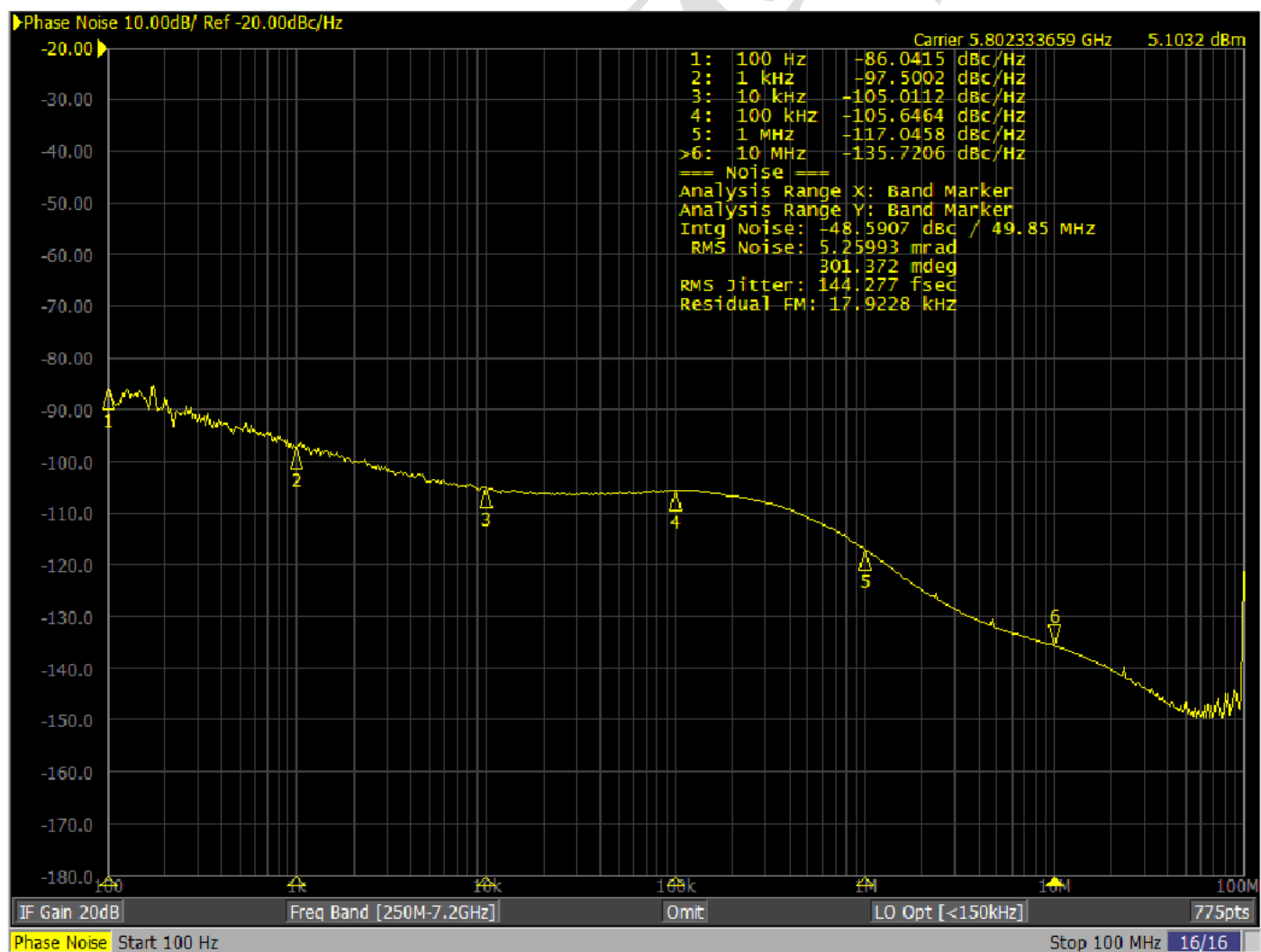


图 37 常温下 LOPLL 相位噪声图@5.8GHz

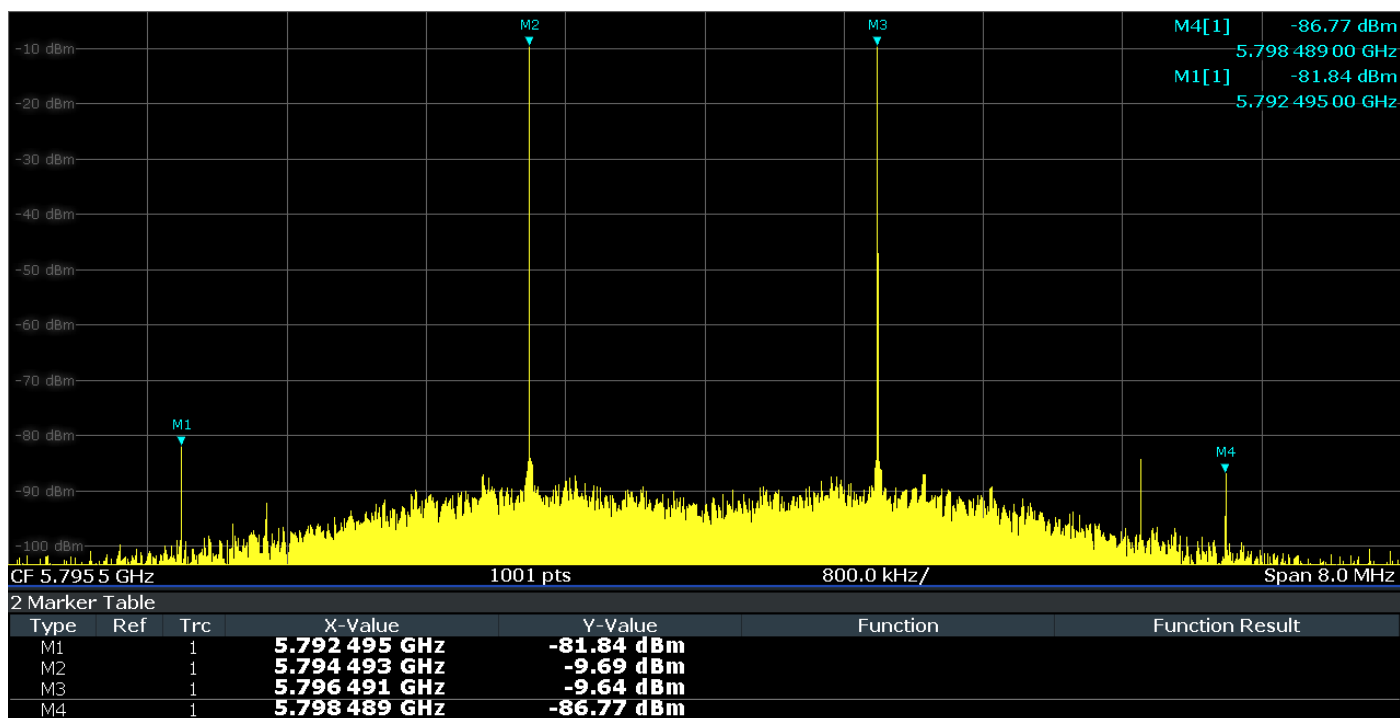


图 38 常温下 TX 5.8GHz 输出双音频频谱

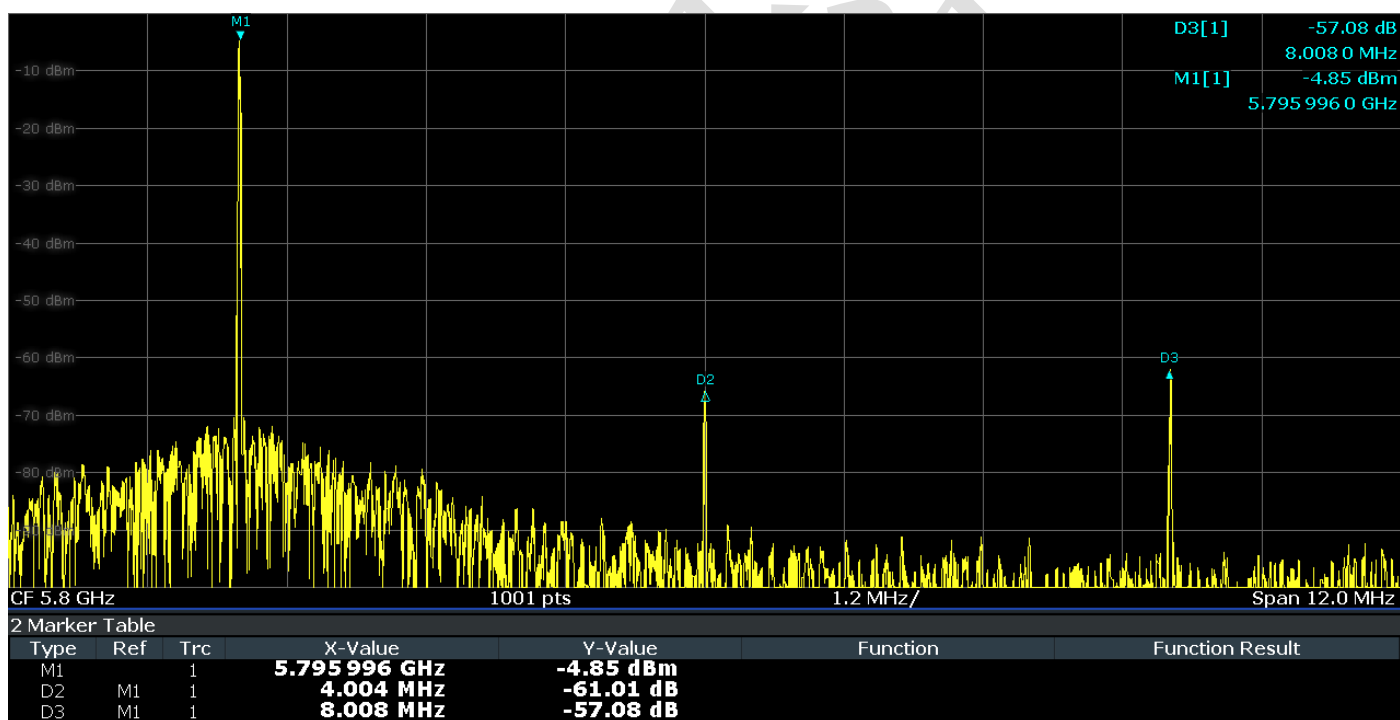


图 39 常温下 TX 5.8GHz 镜像抑制和本振泄漏

工作原理介绍

一般特性

CX9261A/CX9261AN 是一款高集成度的宽窄融合射频(RF)收发器,能够广泛应用于各种场合,在单个器件中集成了收发器功能所必要的 RF、混合信号和数字模块。其可编程能力使这款宽窄融合收发器可以适用于多种通信标准,包括频分双工(FDD)和时分双工(TDD)系统。

CX9261A/CX9261AN 提供了直流校准,镜像抑制校准(QEC)和自动增益控制(AGC)系统,可以在多种温度和输入信号条件下保持高性能水平。另外,器件还包括测试模式,允许输入测试信号并创建内部回环模式,进行调试,

并针对具体应用优化参数配置。

CX9261A/CX9261AN 集成独立的反馈通道及 DPD 算法模块，对发射信号进行预失真，优化发射信号 ACLR 性能。

接收器

接收器部分含有所有必要模块，用于接收 RF 信号并将其转换成可供基带处理器（BBP）使用的基带数据。

器件可以用于多输入、多输出(MIMO)系统，两个接收通道 RX1/RX2 可共用相同本振或者不同本振，TX1/TX2 可共用相同本振或者不同本振，反馈通道 RXFB 可用于对发射通道进行监控，拥有单独的接收本振（LOPLL5），实现 DPD 功能或者用于其它用途。芯片各个收发通道共用 BBPLL 模块。

接收器是一个直接变频系统，含有衰减器、混频器、TIA 放大器和可调带宽低通滤波器，该接收器可以将接收到的信号下变频为基带，以便进行数字化。

外部 LNA 可连接至该器件，使其可以针对具体应用定制接收器前端。

依据预存储在 SRAM 中的增益参数映射，可实现增益控制，该映射可以将增益分配于各模块之间，实现各电平下的性能优化，也可以通过使能内部 AGC 或者通过手动增益控制（MGC）来使 BBP 可以根据需要调整增益。

此外，各个通道还拥有独立的直流失调跟踪功能和进行自我校准的所有必要电路。

接收器包括 16 位的 Sigma-delta ADC、可编程的 FIR 滤波器和一系列抽取滤波器，可实现最多 960 倍的抽取：其中 FIR 滤波器抽取倍数为 1 倍、2 倍、3 倍、4 倍，可设置系数为 15/31/63/127 阶可配。

发射器

发射器部分含有两个相同的独立控制通道，其中包含了数字发射通道、数模转换（DAC）和 RF 模块，可以各自实现一个直接变频系统，每个通道各有一个 TXPLL 频率综合器。

数字发射通道中内插滤波器包含可编程 FIR 滤波器和半带滤波器等。FIR 滤波器系数为 15/31/63/127 阶可配，内插倍数为 1 倍、2 倍、4 倍，并可设置为 bypass。

数模转换（DAC）采样速率可调。当转换为基带模拟信号时，I 和 Q 信号将进行滤波，馈入上变频混频器。

RF 模块提供了较宽的衰减调整范围，以适应不同发射能量的需求。

时钟输入选项

CX9261A/CX9261AN 参考时钟由一个时钟源提供，参考时钟推荐频率范围为 100MHz~150MHz。该参考时钟为频率综合器模块提供参考信号，生成系统所有数据时钟、采样时钟和本振。参考时钟为差分端口输入。

射频收发器集成了 14 位 AUXDAC 模块，可以用于输出 VCXO 晶振控制电压，调整晶振频率偏差，该 DAC 模块输出电压范围约：0.26V~2.26V，默认输出电压值：1.4V。该功能也可配合片内温度检测功能使用，以便提供振荡器频率温度补偿。

频率综合器

CX9261A/CX9261AN 含有 5 个本振频率综合器（LOPLL）和 1 个基带频率综合器（BBPLL）。上述 6 个频率综合器均采用小数分频频率综合器，内部集成了调谐范围大于倍频程的压控振荡器（LOPLL 采用双 VCO 结构，BBPLL 采用单 VCO 结构）、可灵活配置的环路滤波器、多级可配置的分频电路和锁定检测电路等。LOPLL 还集成了快速自动频率校准算法（AFC）和小数分频时钟同步算法，可以实现快速锁定和时钟同步功能。单芯片多个射频锁相环同时工作时，VCO 不能工作在相同频率下（此时 PLL 间会出现互相串扰，影响 PLL 性能，严重时失锁）。

频率综合器输出频率范围

CX9261A/CX9261AN 的 5 个本振频率综合器的输出频率范围一致，VCOH 和 VCOL 共同覆盖 6.7~13.4GHz 频率范围，经过 2~256 可配置的输出级分频器，可以输出 30~6700MHz 的 IQ 本振时钟信号。LOPLL 采用了 24bits 小数分频比配置码字以及更高频率精度的配置选项，可以实现 10^{-7} Hz 量级的频率精度。

输出级分频器的分频比配置方法具体见下表描述：

表 7 LOPLL 分频比配置对照表

分频比	pll div2 sel	pll div4 sel	pll lodiv ratio[2:0]
	0x61D[5]	0x61D[4]	0x61D[2:0]
2	0	0	111
4	1	0	111
8	1	1	111
16	1	1	110
32	1	1	101
64	1	1	100
128	1	1	011
256	1	1	010

CX9261A/CX9261AN 的收发通道共用 1 个 BBPLL，用于生成基带相关时钟信号，包括 ADC 和 DAC 采样时钟、数字电路系统时钟等。各部分时钟信号频率具体取决于系统的数据速率和采样速率要求。

LOPLL 和 BBPLL 的频率范围具体见下表描述：

表 8 PLL 频率范围数据表

PLL	VCO 类型	VCO 频率（GHz）
LOPLL	VCOL	6.7~10.15
	VCOH	10.15~13.4
BBPLL	VCobb	1.35 ~2.75

表 9 PLL 频率范围和分频比配置对照表

LOPLL频率范围（MHz）	VCO Core	分频比配置	对应的VCO频率（GHz）
5075~6700	VCOH	2	10.15~13.4
3350~5075	VCOL	2	6.7~10.15
2537.5~3350	VCOH	4	10.15~13.4
1675~2537.5	VCOL	4	6.7~10.15
1268.75~1675	VCOH	8	10.15~13.4
837.5~1268.75	VCOL	8	6.7~10.15
634.375~837.5	VCOH	16	10.15~13.4
418.75~634.375	VCOL	16	6.7~10.15
317.1875~418.75	VCOH	32	10.15~13.4
209.375~317.1875	VCOL	32	6.7~10.15
158.59375~209.375	VCOH	64	10.15~13.4
104.6875~158.59375	VCOL	64	6.7~10.15
79.296875~104.6875	VCOH	128	10.15~13.4
52.34375~79.296875	VCOL	128	6.7~10.15
39.6484375~52.34375	VCOH	256	10.15~13.4
26.171875~39.6484375	VCOL	256	6.7~10.15

外部本振时钟输入和本振时钟乒乓切换功能

除使用内部 LOPLL 之外，CX9261A 还支持外部本振时钟输入，可支持的外本振时钟输入频率范围可以覆盖全频段 30MHz~5GHz。

通道 1 和通道 2 共用 4 个 LOPLL，可以实现多种 LOPLL 乒乓切换的功能，包括 TDD 模式下的 LOPLL 乒乓切换，以及 FDD 模式下 LOPLL 的乒乓切换功能。乒乓切换功能开启情况下，理论上可以实现不低于 4 万跳每秒的跳频应用（跳频时间包含 LOPLL 在切换前所需的锁定时间和 1us 内的 LOPLL 切换时间）。

本振选择方案如下图所示：

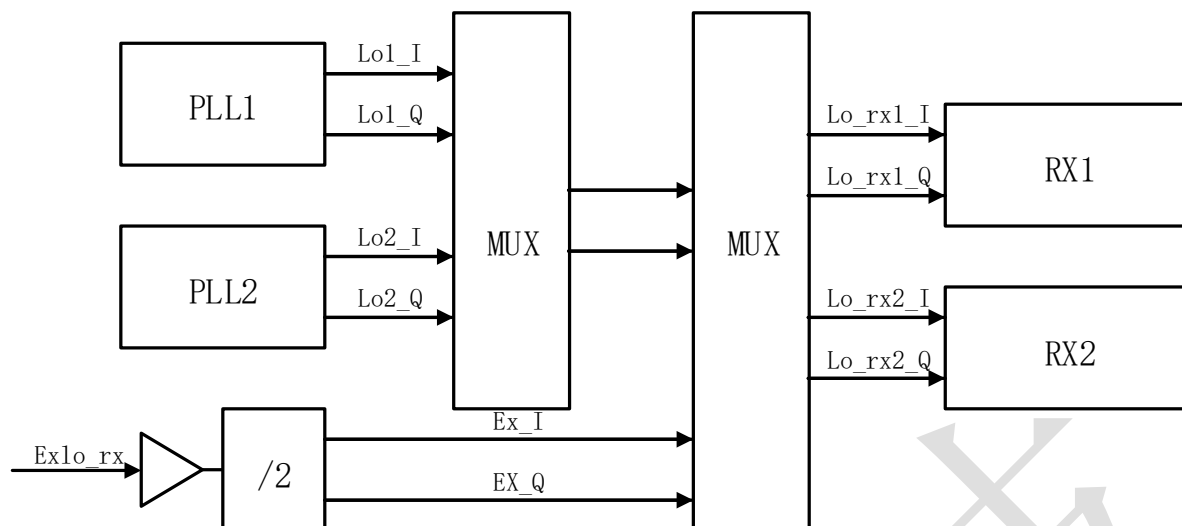


图 40 接收通道本振控制示意图

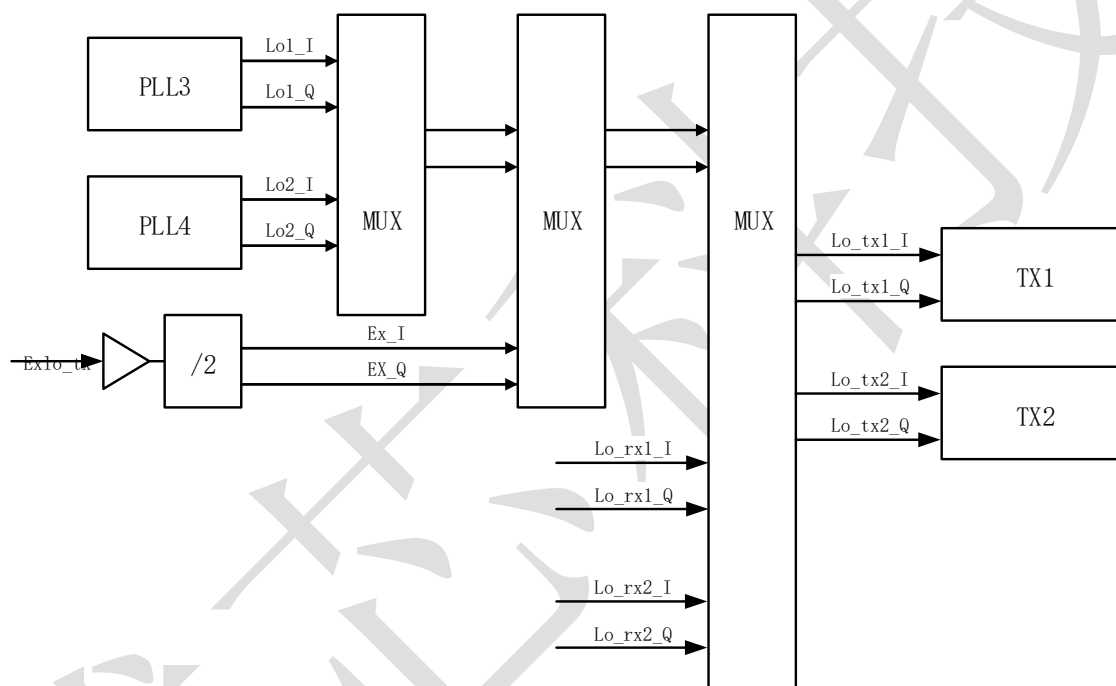


图 41 发射通道本振控制示意图

两个接收通道可选择 LOPLL1 或者 LOPLL2，也可以采用外本振工作模式，且可以通过乒乓切换，在 LOPLL1 和 LOPLL2 之间实现快速跳频。两个发射通道可选择 LOPLL1、LOPLL2、LOPLL3 或者 LOPLL4，也可以采用外本振工作模式。详细的本振时钟配置表如下所示：

接收通道本振时钟控制方式真值表如下表所示：

表 10 接收通道本振时钟控制真值表

rx1 lo sel	rx2 lo sel	pll1 pd	pll2 pd	ex rxlo use	rx1 lo mux pd	rx2 lo mux pd	RX1	RX2
0x77D[7]	0x77D[6]	功耗管理控制	功耗管理控制	0x775[7]	0x6C3[3]	0x6C3[2]		
0	0	1	0	0	0	0	PLL2	PLL2
1	1	0	1				PLL1	PLL1
0	1	0	0				PLL2	PLL1
1	0	0	0				PLL1	PLL2
X	X	1	1	1	0	1	EX-RX-LO	EX-RX-LO
X	X	1	1	1	1	0	关闭	EX-RX-LO
0	1	0	1	0	1	0	关闭	PLL1
1	0	1	0				关闭	PLL2
1	0	0	1		0	1	PLL1	关闭
0	1	1	0				PLL2	
X	X	1	1	0	1	1	关闭	关闭

发射通道本振时钟控制方式真值表如下表所示:

表 11 发射通道本振时钟控制真值表

rx1 to tx1 lo sel	rx2 to tx2 lo sel	rx1 to tx1 lo use	rx2 to tx2 lo use	tx1 lo sel	tx2 lo sel	pll3 pd	pll4 pd	ex txlo use	tx1 lo mux pd	tx2 lo mux pd	TX1	TX2	
0x77D[1]	0x77D[0]	0x77D[3]	0x77D[2]	0x77D[5]	0x77D[4]	功耗管理控制	功耗管理控制	0x775[6]	0x6C3[1]	0x6C3[0]			
X	X	0	0	0	0	1	0	0	0	0	PLL4	PLL4	
X	X	0	0	1	1	0	1				PLL3	PLL3	
X	X	0	0	0	1	0	0				PLL4	PLL3	
X	X	0	0	1	0	0	0				PLL3	PLL4	
X	X	0	0	X	X	1	1				EX-TX-L0	EX-TX-L0	
X	X	0	0	X	X	1	1	1	0	1	EX-TX-L0	关闭	
0	0	1	1	X	X	1	1	关闭	1	0	EX-TX-L0	EX-TX-L0	
1	1									PLL2	PLL2		
0	1									PLL1	PLL1		
1	0									PLL2	PLL1		
										PLL1	PLL2		
X	X	0	0	0	1	0	1	0	1	0	关闭	PLL3	
1	0			1	0	1	0					PLL4	
0	1			X	X	1	1					PLL2	
0	1	0	0	1	0	0	1	0	0	1	关闭	PLL1	
X	X			0	1	1	0					PLL3	
0	1			X	X	1	1					PLL4	
1	0	1	0	0	1	1	0	0	0	0	PLL2	PLL3	
0	1			1	0	1	0					PLL4	
1	0			X	X	1	1					PLL1	
1	X	1	0	0	1	0	1	0	0	0	PLL1	PLL3	
0				1	0	1	0					1	PLL4
0				1	0	1	0					1	PLL3
1				0	1	0	1					0	PLL4
X	1	0	1	1	0	0	1	0	0	0	PLL2	PLL3	
	0			1	1	0	1					0	PLL4
	1			0	0	1	0					1	PLL3
	0			1	0	0	1					0	PLL4
Y	Y	0	0	Y	Y	1	1	0	1	1	关闭	关闭	

自动增益控制

为保证接收机模块处于最优工作状态，接收链路可以在三个测试点对信号能量进行检测，第一个点位于混频器输入端，第二个点位于混频器输出端，第三个点位于数字通道抽取滤波器输出端。前两个测试点为模拟峰值检测，第三个测试点为数字检测。数字检测可配置为峰值检测（默认），也可配置为能量检测。接收机 AGC 框图如图 42 所示。

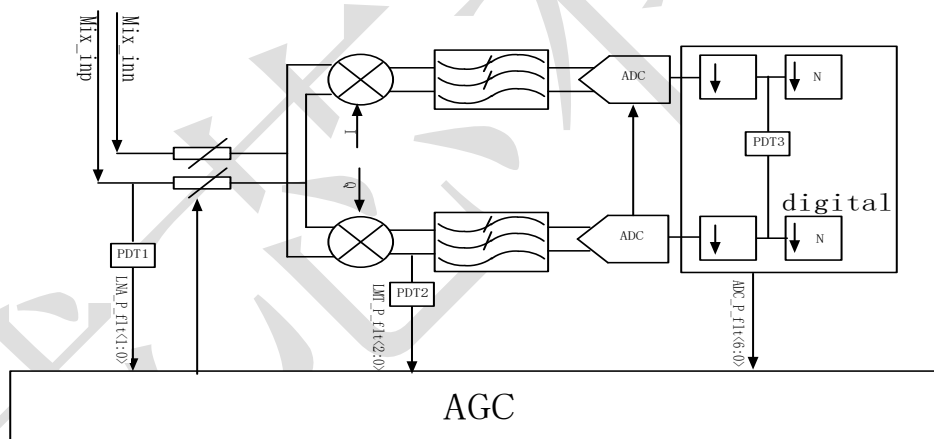


图 42 接收机 AGC 模块框图

AGC 工作模式如下所示:

模式 1、agc mode[3:0]=4'b0001，片外 LNA 增益固定，通过 LMT p flt<2:0>输出值来调整控制 MIXER 增益；

模式 2、agc mode[3:0]=4'b0010，片外 LNA 增益固定，通过 ADC p flt<6:0>输出值来调整控制 MIXER 增益；

模式 3、`agc_mode[3:0]=4'b0011`，片外 LNA 模式，通过 `LNA_p_flit<1:0>` 输出来调整片外 LNA 增益（通过 GPIO 口输出 1 比特或者 2 比特），通过 `LMT_p_flit<2:0>` 输出值来调整 MIXER 增益；

模式 4、`agc_mode[3:0]=4'b0100`，片外 LNA 模式，通过 `LNA_pflt<1:0>` 输出来调整片外 LNA 增益（通过 GPIO 口输出 1 比特或者 2 比特），通过 `ADC_pflt<6:0>` 输出值来调整 MIXER 增益；

模式 5、agc mode[3:0]=4'b0101，用 SPI 分别调整片外 LNA 和 mixer 的增益；

模式 6、`agc mode[3:0]=4'b0110`，用 SPI 直接调整片外 LNA 和 mixer 的模拟端增益控制字；

CX9261A 射频收发器可以通过输出管脚将各个检测点的检测能量输出到基带，也可以通过输出管脚将当前增益调整值输出到基带，具体控制方式包括：

- 1、**gpio_mode[2:0] == 3'b000**，外部控制模式，将 **LNA_p_flt<1:0>**、**LMT_p_flt<2:0>**输出到基带，射频收发器内部不做增益调整；
- 2、**gpio_mode[2:0] == 3'b001**，外部控制模式，将 **LNA_p_flt<1:0>**、**ADC_p_flt<6:0>**输出到基带，射频收发器内部
- 杭州城芯科技有限公司 第 39 页 电话 18072852001

部不做增益调整；

3、gpio_mode[2:0] == 3'b010，外部控制模式，将 LNA_range[1:0], LMT_range<1:0>输出到基带；

4、gpio_mode[2:0] == 3'b011，外部控制模式，将 ADC_range<1:0>输出到基带；

5、gpio_mode[2:0] == 3'b100，将 AGC 实时增益值 LNA_gain<1:0>和 LMT_gain<4:0>输出到基带；

6、gpio_mode[2:0] == 3'b101，将 AGC 实时增益值 com_gain<5:0>输出到基带。

模拟峰值检测模块通过对一段时间内输入信号进行峰值功率的跟踪实现峰值检测，实现框图如图 43 所示：

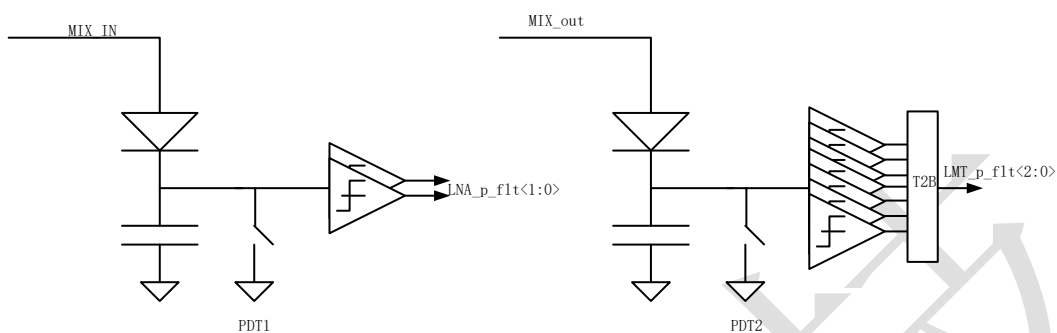


图 43 模拟峰值检测模块实现框图

峰值检测模块的时钟频率为参考时钟（ADC 采样时钟）的整数分频。为防止出现干扰情况下峰值检测模块跟踪出错，需在一定时间范围内对其进行多次检测如图 44 所示：

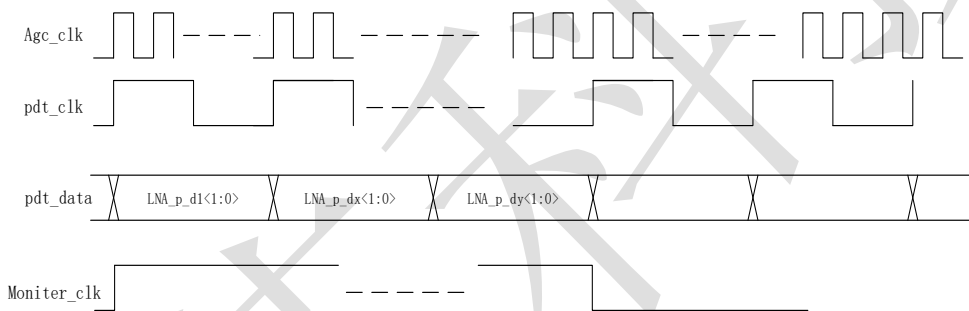


图 44 模拟峰值检测模块能量估计示意图

Agc_clk 为 sys_clk 的 4 分频时钟，pdt_clk 为 agc_clk/2^(N+3)，N 为 0x908[7:4]配置值；monitor_clk 为 pdt_clk/2^(N+3)，M 为 0x908[3:0]spi 配置值。

PDT1 输出真值表如表 12 所示，LNA_p 为 LNA 能量指示值。PDT2 输出真值表如表 13 所示，LMT_p 为 MIXER 能量指示值。

表 12 PDT1 输出真值表

输入信号能量范围	LNA_p<1:0>, (0X923[5:4])	LNA_range<1:0>, (0X920[1:0])
大于高能量阈值	10	10
位于高低能量阈值之间	00	01
小于低能量阈值	01	00
-----	11: 禁止, 如出现 11 则报错。	

表 13 PDT2 输出真值表

输入信号能量范围	LMT_p<2:0>, (0X923[2:0])
>=7dBm	111
5dBm~7dBm	110
3dBm~5dBm	101
1dBm~3dBm	100
-1dBm~1dBm	011
-3dBm~-1dBm	010
-5dBm~-3dBm	001
<-5dBm	000

PDT3 为数字检测点，当模拟端输出的 ADC 信号为满幅度的信号，对应数字检测后的输出值为 60（单位 dB）。最小为 0dB；检测精度为 1dB。

AGC 的控制主要有三个状态，等待（wait）、统计（statistic）、调整（adjust）。在统计状态下，统计各个检测点检测到的信号能量，然后调整到相应的阈值区间内。AGC 状态机控制时序图如图 45 所示。

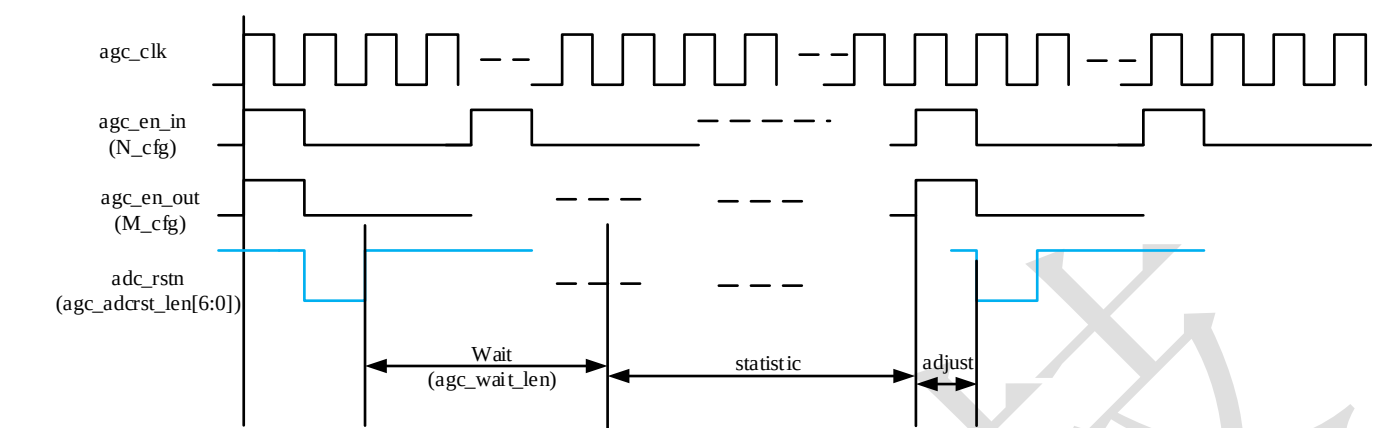


图 45AGC 状态机控制时序

当检测到的能量大于 TH_H1 或小于 TH_L1 时，触发 AGC 调整，保证最终输出能量落入 TH_H2 和 TH_L2 区间内。AGC 增益调节示意图如图 46 所示。

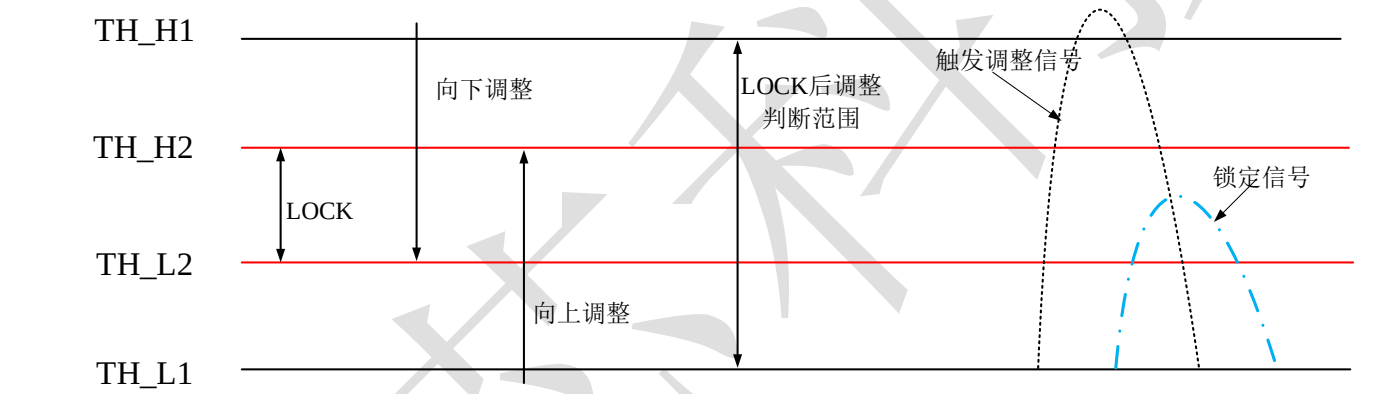


图 46 AGC 的增益调节示意图

数字通道

数字通道包括 2 个发射通道、2 个接收通道和 1 个反馈通道，接收通道包含抽取滤波器、混频器、正交误差和直流校准等，发射通道包含内插滤波器、正交误差及直流泄漏校准等。

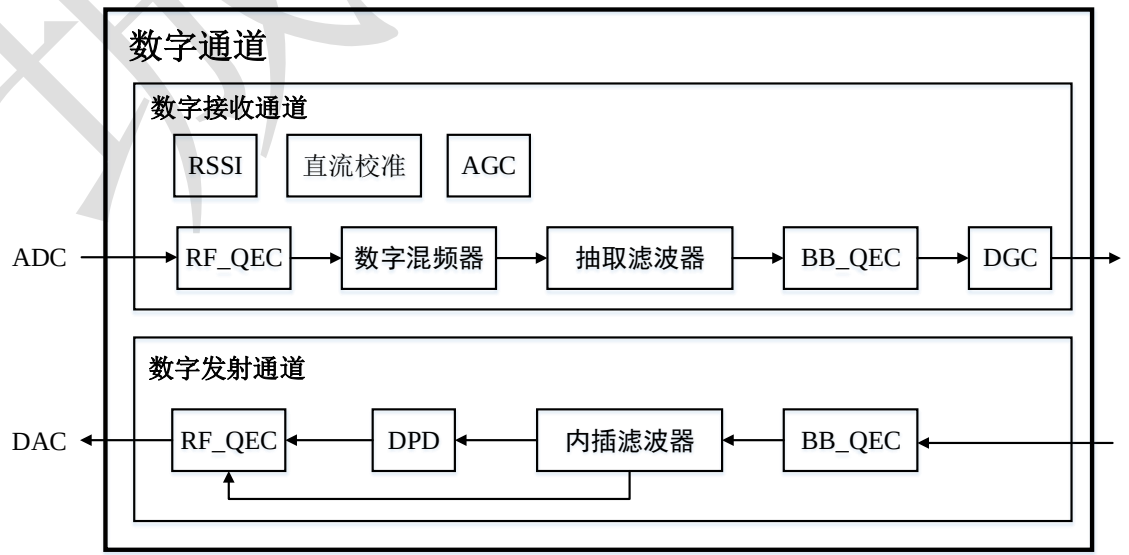


图 47 数字通道示意框图

接收通道滤波器按照数字基带接口到数字射频接口的顺序依次为 FIR、HBF1、HBF2、HBF3、CIC，HBF1、HBF2 和 HBF3 为半带滤波器，数字通道滤波器组成框图如图 48 所示。其中，当半带滤波器和 CIC 均旁路时，FIR 系数最大可配 63 阶；当任一半带滤波器或 CIC 工作时，FIR 系数最大可配 127 阶，且具备-12dB、-6dB、6dB、0dB 的信号幅度调节功能。FIR 滤波器可实现仅滤波、2 倍、3 倍、4 倍、8 倍滤波抽取和旁路功能，HBF1 和 HBF2 可实现 2 倍滤波抽取和旁路功能，HBF3 可实现 2 倍、3 倍滤波抽取和旁路功能，CIC 实现 20 倍滤波抽取和旁路功能。

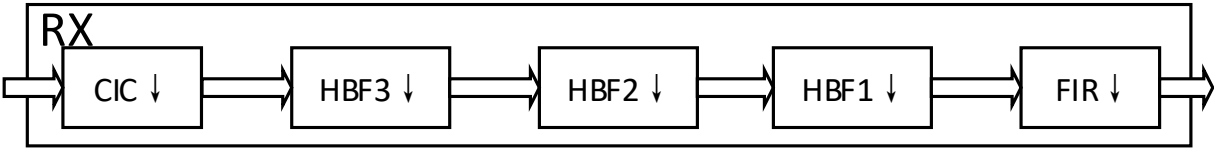


图 48 接收通道滤波器组成框图

发射通道滤波器按照数字基带接口到数字射频接口的顺序依次为 FIR、HBF1、HBF2、HBF3、CIC，HBF1、HBF2 和 HBF3 为半带滤波器，数字通道滤波器组成框图如图 49 所示。其中，当数字通道内插倍数大于 8 倍时，FIR 系数最大可配 127 阶。FIR 滤波器可实现仅滤波、2 倍、3 倍、4 倍、8 倍内插滤波和旁路功能，HBF1 和 HBF2 可实现 2 倍内插滤波和旁路功能，HBF3 可实现 2 倍、3 倍内插滤波和旁路功能，CIC 实现 8 倍、20 倍、32 倍、80 倍内插滤波和旁路功能。

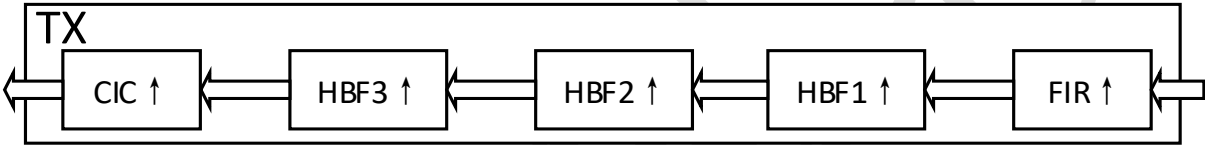


图 49 发射通道滤波器组成框图

抽取滤波器

抽取滤波器模式配置寄存器为 0x106。若在通道正常工作后仍需修改 0x106，0x100 需由 0x33 依次配置为 0x23、0x33。抽取滤波器相关配置如表 14 所示。

表 14 抽取滤波器配置表

信号名	寄存器地址	功能描述
FIR	0x106[7:5]	0：旁路；1：1 倍滤波抽取；2：2 倍滤波抽取；3：3 倍滤波抽取；4：4 倍滤波抽取；5：8 倍滤波抽取。
HBF1	0x106[4]	1：2 倍滤波抽取；0：旁路。
HBF2	0x106[3]	1：2 倍滤波抽取；0：旁路。
HBF3	0x106[2:1]	2：3 倍滤波抽取；1：2 倍滤波抽取；0：旁路。
CIC	0x106[0]	0：旁路；1：20 倍滤波抽取。
FIR_amp	0x105[1:0]	3：-12dB；2：-6dB；1：6dB；0：0dB。
filter_wr_en	0x401[7]	写系数使能，上升沿有效。
filter_fir_coeff_address	0x401[6:0]	读写系数地址。
filter_fir_coeff_in	0x402~0x403	写入系数。
filter_fir_coeff_out	0x405~0x406	读出系数。
coeff_change	0x404[0]	全部系数写完后，更新使能，上升沿有效。

FIR 滤波器系数量化位宽为 16bit。

FIR 写系数时，通过 SPI 寄存器配置写入地址 addr，将写使能由低电平拉高再拉低，在写使能 wr_en 上升沿 wr_en_pos 写入 FIR 系数，时序示意如图 50 所示。其中，TWS 表示写使能的建立时间。TAS 为地址相对于 wr_en_pos 的建立时间，在 wr_en 拉高前修改地址，根据写的特点，建立时间空隙至少有一个 SPI 写时间和一个 sys_clk 时钟。TAH 表示写使能上升沿 wr_en_pos 拉低后地址 addr 保持时间，地址在 wr_en 拉低后再改变，该时间空隙至少持续了两个 SPI 写时间。

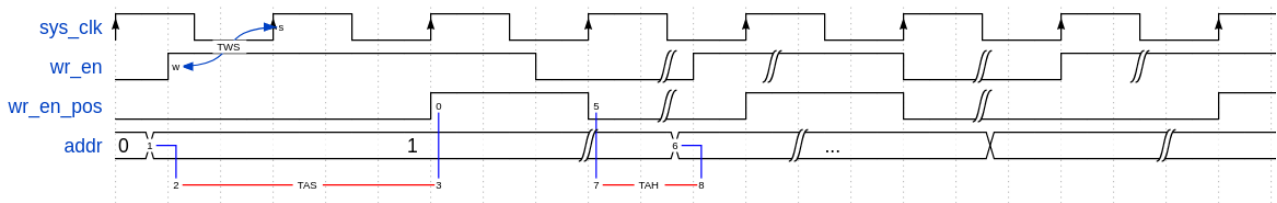


图 50 FIR 滤波器写系数时序示意图

FIR 滤波器系数写完后，update_en 拉高后更新系数，系数更新时序如图 51 所示。TUD 为所有系数写完后，wr_en 被拉低到 update_en 拉高的时间，该时间空隙至少为两个 SPI 写时间。TUPS 为更新后的系数相对于更新使能上升沿 update_en_pos 的延时时间。

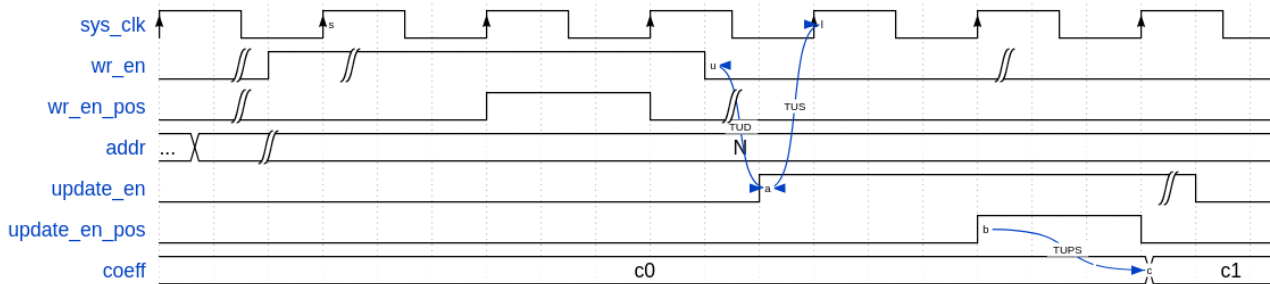


图 51 FIR 滤波器更新系数时序

内插滤波器

内插滤波器模式配置寄存器为 0x107 和 0x108。若在通道正常工作后仍需修改 0x106，0x100 需由 0x33 依次配置为 0x13、0x33。内插滤波器相关配置如表 15 所示。

表 15 抽取滤波器配置表

信号名	寄存器地址	功能描述
FIR	0x107[2:0]	0: 旁路；1: 1 倍内插滤波；2: 2 倍内插滤波；3: 3 倍内插滤波；4: 4 倍内插滤波；5: 8 倍内插滤波。
HBF1	0x108[7]	1: 2 倍内插滤波；0: 旁路。
HBF2	0x108[6]	1: 2 倍内插滤波；0: 旁路。
HBF3	0x108[5:4]	2: 3 倍滤波抽取；1: 2 倍滤波抽取；0: 旁路。
CIC	0x108[2:0]	0: 旁路；1: 32 倍滤波抽取；2: 80 倍滤波抽取；3: 8 倍滤波抽取；4: 20 倍滤波抽取。
tap_grp_num	0x500[2:0]	FIR 滤波器使用阶数选择；滤波器系数长度 = (tap_grp_num+1) * 16。
filter_wr_en	0x501[7]	写系数使能，上升沿有效。
filter_fir_coeff_address	0x501[6:0]	读写系数地址。
filter_fir_coeff_in	0x502~0x503	写入系数。
filter_fir_coeff_out	0x505~0x506	读出系数。
coeff_change	0x504[0]	全部系数写完后，更新使能，上升沿有效。

FIR 滤波器系数量化位宽为 16bit，系数读写时序与接收通道相同。

混频器

数字通道设计了 NCO 数字混频器，NCO 根据输入频率，产生单音信号，可对输入信号进行上下变频，如图 52 所示。

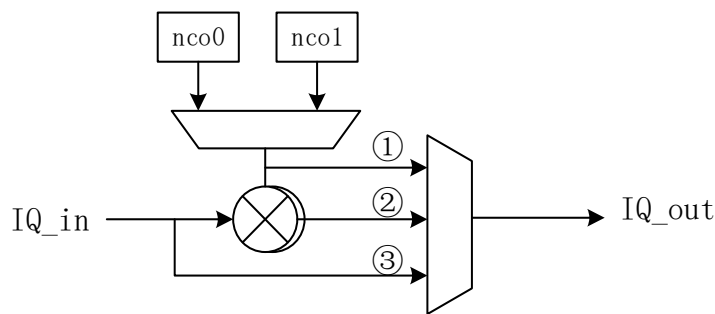


图 52 NCO 数字混频器的框图

NCO 数字混频器具有以下功能：

- 1) 支持 NCO only 模式，测试模式，数据链路如图中①；
- 2) 支持上下混频模式，数据链路如图②，混频频率范围：-40MHz~40MHz；
- 3) 支持旁路模式，ADC 输入数据直通，数据链路如图中③；
- 4) NCO 频率控制字位宽 48 位，具有小数补偿；
- 5) 可以实现快速跳频，跳频模式分为三种：直接切换频率控制字，切换控制字相位清零，直接切换控制字累加值。

NCO 频率控制字计算步骤：

- 1) 根据所需频率 f_0 和 NCO 工作采样率 f_s ，量化 f_0 ，量化值 code 计算如公式（1）所示；

$$code = \text{floor}\left(\frac{\text{mod}(f_0, f_s)}{f_s} \times 2^{48}\right) \quad (1)$$

- 2) 将 code 由十进制转换为 12 位十六进制字符；
其中， $\text{mod}(\cdot)$ 表示模余运算， $\text{floor}(\cdot)$ 表示舍入运算。

NCO 支持小数补偿模式，当使用小数补偿模式时，除按照以上频率控制字计算步骤计算频率控制字，还需计算小数补偿分子码字、分母码字。

小数补偿分子码字、分母码字计算步骤：

- 1) 根据频率 f_0 和采样频率 f_s ，计算分子分母，如公式（2）所示；

$$\frac{M}{N} = \frac{\text{mod}(f_0, f_s)}{f_s} \quad (2)$$

- 2) 根据 M 值计算分子码字 NUM，如公式（3）所示；

$$NUM = \text{mod}(2^{48} M, N) \quad (3)$$

- 3) 根据 N 值计算分母码字 DEN，如公式（4）所示。

$$DEN = N \quad (4)$$

当使用外部同步信号同步 NCO 时，可选择相位同步至初始相位或同步信号更新频率控制字的方式实现 NCO 多片同步。

当选择相位同步至初始相位的方式，完成 NCO 多片同步时，要求同步信号为有限脉冲或者仅有一个脉冲。

当选择同步信号更新频率控制字的方式，完成 NCO 多片同步时，频率控制字更新支持频率控制字更新相位清零或频率控制字更新相位连续。

若频率控制字更新相位清零，同步信号为连续周期信号或有限脉冲可不做强制要求，但最好在频率控制字配置后有效。

若频率控制字更新相位连续，则同步信号必须在频率控制字配置完成后有效。

混频器有两种工作模式，包括混频模式和测试模式。混频器模式配置如表 16 所示。

表 16 接收通道混频器配置表

信号名	寄存器地址	功能描述
bist_enable	0xA07[0]	bist 使能信号，高电平使能。当 bist_enable&en_rx_mixer 为 1 时，混频器工作在测试模式，发送测试单音
en_rx_mixer	0xA08[0]	混频器使能信号，高电平使能。当~bist_enable&en_rx_mixer 为 1 时，混频器工作在混频模式

信号名	寄存器地址	功能描述
phase_acc_en	0xA08[2:1]	[1]master 相位累加器使能信号，高电平使能。[2]slaver 的相位累加器使能信号，高电平使能。
up_down_conversion_sel	0xA08[7]	0：上混频，1：下混频
freq_jump_sel	0xA09[4]	0：选择 master 频率控制字，1：选择 slaver 频率控制字
mst_nco_freq_ctrl_mode[1:0]	0xA09[1:0]	配置为 2'b01 或 2'b10 时，频率控制字更新则 master 相位累加器恢复初始值
mst_initial_phase_offset[47:0]	0xA00~0xA05	master 初始相位
mst_phase_offset_deno[47:0]	0xA0A~0xA0F	master 小数分母
mst_phase_offset_mole[47:0]	0xA10~0xA15	master 小数分子
mst_SPI_freq_ctrl_mid[47:0]	0xA16~0xA1B	master 频率控制字
sla_nco_freq_ctrl_mode[1:0]	0xA2C[1:0]	配置为 2'b01 或 2'b10 时，频率控制字更新则 slaver 相位累加器恢复初始值
sla_initial_phase_offset[47:0]	0xA20~0xA25	slaver 初始相位
sla_phase_offset_deno[47:0]	0xA30~0xA35	slaver 小数分母
sla_phase_offset_mole[47:0]	0xA36~0xA3B	slaver 小数分子
sla_SPI_freq_ctrl_mid[47:0]	0xA26~0xA2B	slaver 频率控制字

直流校准

直流校准有两种模式。一是持续校准，一直更新校准值。二是校准完成后，校准值保持。直流校准配置如表 17 所示。

表 17 直流校准配置表

信号名	寄存器地址	功能描述
dc_sel	0x10A[0]	0：选择内部估计直流校准值；1：选择 SPI 配置直流校准值
dc_cal_en	0x109[0]	0：旁路；1：补偿直流校准值
dc_track_en	0x109[4]	0：旁路；1：估计直流校准值，dc_track_en 拉高后保持持续直流校准值，校准完成后 dc_track_en 拉低保持校准完成后的直流校准值
dc_clb_mod	0x10A[6:4]	直流校准统计长度，0:128；1:256；2:512；3:1024；4:2048；5:4096；6:8192；7:16384
dc_cal_i_SPI	0x10B~0x10C	写入 I 路直流校准值
dc_cal_q_SPI	0x10D~0x10E	写入 Q 路直流校准值
dc_cal_i	0x110~0x111	读取 I 路直流校准值
dc_cal_q	0x112~0x113	读取 Q 路直流校准值

直流跟踪

直流跟踪校准有两个带宽因子，可通过片控选择或 SPI 选择，带宽因子推荐配置为 8191。直流跟踪校准配置如表 18 所示。

表 18 直流跟踪校准配置表

信号名	寄存器地址	功能描述
hp_en	0x155[0]	直流跟踪校准使能，1 有效
hp_sel_SPI	0x156[4]	SPI 选择带宽因子。 0：hp_factor0；1：hp_factor1
hp_sel	0x156[0]	带宽因子选择来源。 0：片控选择带宽因子；1：SPI 选择带宽因子
hp_factor0[13:0]	{0x157[5:0]，0x158}	带宽因子 0
hp_factor1[13:0]	{0x159[5:0]，0x15A}	带宽因子 1

表 19 直流跟踪校准幅频特性表

配置控制字	3dB 带宽（Hz）
8191	5.96
8091	610

配置控制字	3dB 带宽 (Hz)
7991	1206
7891	1795
7791	2378
7691	2950
7591	3524
7491	4086
7391	4644
7391	5195
7191	5741
7091	6281

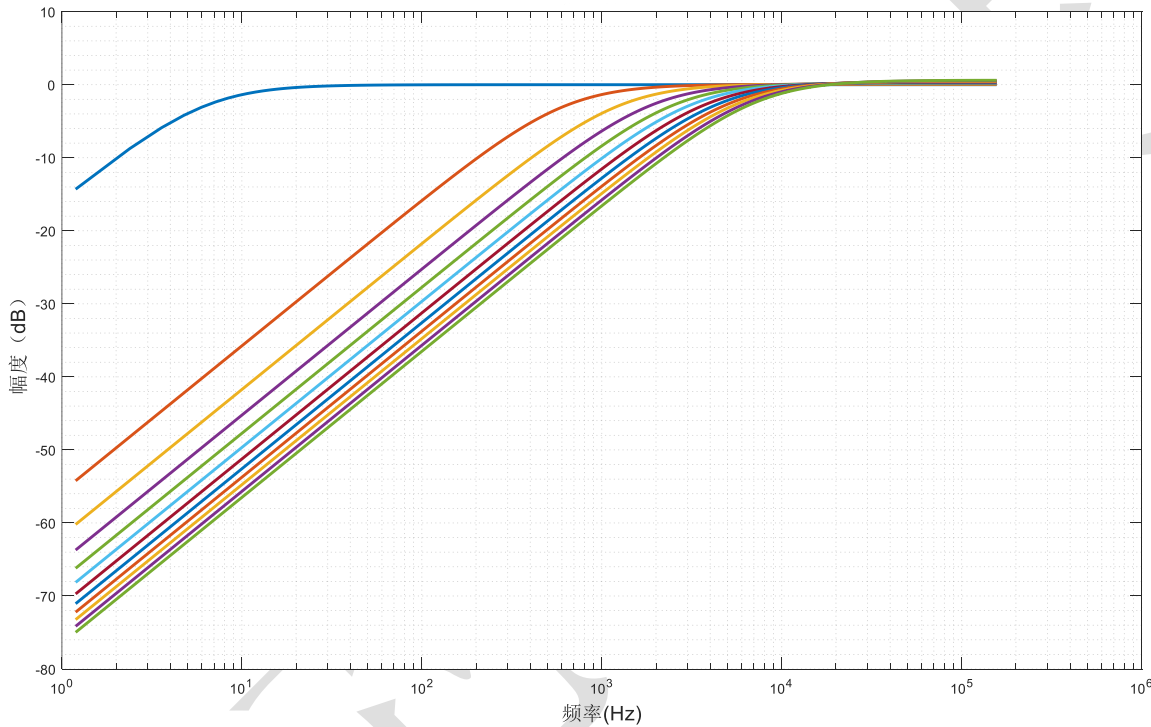


图 53 高通滤波器幅频响应

QEC

接收通道和发射通道的正交误差校准分别包括射频 QEC 校准模块(RF_QEC)和基带 QEC 校准模块(BB_QEC)。RX_RF_QEC 的工作速率与 ADC 采样率同频，TX_RF_QEC 的工作速率与 DAC 采样率同频；RX_BB_QEC 的工作速率与 RX 基带采样率同频，TX_BB_QEC 的工作速率与 TX 基带采样率同频。

(1) RF_QEC 可实现接收通道正交误差窄带校准和直流偏置校准，以及发射通道的正交误差窄带校准和本振泄漏校准，其相关配置如表 20 所示。

表 20 RF_QEC 配置表

信号名	寄存器地址	功能描述
RX1_IQ_calib_En	0x02A[1]	RX1 的 I/Q 失配校准使能信号。
TX1_IQ_calib_En	0x02A[0]	TX1 的 I/Q 失配校准使能信号。
RX2_IQ_calib_En	0x02B[1]	RX2 的 I/Q 失配校准使能信号。
TX2_IQ_calib_En	0x02B[0]	TX2 的 I/Q 失配校准使能信号。
RXFB_IQ_calib_En	0x02C[1]	RXFB 的 I/Q 失配校准使能信号。
rx_DC_en	0x11F[6]	1：校准系数中包含直流值；0：校准系数中不包含直流值。
rx_predist_iq_en	0x11F[5]	rx_predist 中的 cordic 使能信号。
rx_predist_en_cordic	0x11F[4]	rx_predist 中的 I/Q 校准使能信号。
tx_DC_en	0x11F[1]	1：校准系数中包含直流值；0：校准系数中不包含直流值。

信号名	寄存器地址	功能描述
tx_predist_iq_en	0x11F[0]	tx_predist 中的 I/Q 校准使能。
signal_amp[1:0]	0x120[5:4]	校准音信号幅度选择：0： 16384； 1： 8192； 2： 4096； 3： 2048。
source_sel	0x120[0]	RF_QEC 校准过程： 1： 数据源来自 filter 输出数据； 0： 数据源来自 cordic； qec_fft 校准过程： 1： 数据源来自 cordic； 0： 数据源来自 filter 输出数据；
tx_qec_coef_sel_spi	0x121[7:6]	tx_predist 系数来源选择信号。 2： 选择处理器配置的校准系数； 1： 选择 SPI 配置的校准系数； 0： 选择内部校准系数
rx_qec_coef_sel_spi	0x121[5:4]	rx_predist 系数来源选择信号。 2： 选择处理器配置的校准系数； 1： 选择 SPI 配置的校准系数； 0： 选择内部校准系数
power_k_shift_index	0x122[1:0]	校准统计长度选择； 0： 1024， 1： 4096， 2： 16384， 3： 65536。
lpf_bw	0x126[1:0]	校准迭代权重选择； 0： 1， 1： 1/2， 2： 1/4， 3： 1/8
spi_rx_B_in	{0x12A, 0x12B}	SPI 配置 rx_predist 的 I/Q 失配校准系数。
spi_rx_C_in	{0x12C, 0x12D}	SPI 配置 rx_predist 的 I/Q 失配校准系数。
spi_rx_DCI_in	{0x12E, 0x12F}	SPI 配置 rx_predist 的 I 路直流偏置校准系数。
spi_rx_DCQ_in	{0x130, 0x131}	SPI 配置 rx_predist 的 Q 路直流偏置校准系数。
spi_tx_B_in	{0x132, 0x133}	SPI 配置 tx_predist 的 I/Q 失配校准系数。
spi_tx_C_in	{0x134, 0x135}	SPI 配置 tx_predist 的 I/Q 失配校准系数。
spi_tx_DCI_in	{0x136, 0x137}	SPI 配置 tx_predist 的 I 路直流偏置校准系数。
spi_tx_DCQ_in	{0x138, 0x139}	SPI 配置 tx_predist 的 Q 路直流偏置校准系数。
rd_RX_B_coef	{0x13D, 0x13E}	SPI 读取 rx_predist 的 I/Q 失配校准系数。
rd_RX_C_coef	{0x13F, 0x140}	SPI 读取 rx_predist 的 I/Q 失配校准系数。
rd_RX_DC_I	{0x141, 0x142}	SPI 读取 rx_predist 的 I 路直流偏置校准系数。
rd_RX_DC_Q	{0x143, 0x144}	SPI 读取 rx_predist 的 Q 路直流偏置校准系数。
rd_TX_B_coef	{0x145, 0x146}	SPI 读取 tx_predist 的 I/Q 失配校准系数。
rd_TX_C_coef	{0x147, 0x148}	SPI 读取 tx_predist 的 I/Q 失配校准系数。
rd_TX_DC_I	{0x149, 0x14A}	SPI 读取 tx_predist 的 I 路直流偏置校准系数。
tx_clb_ready	0x14D[5]	TX IQ 校准校准完成标志信号。
rx_clb_ready	0x14D[4]	RX IQ 校准校准完成标志信号。

（2）BB_QEC 可实现接收通道正交误差宽带校准和发射通道正交误差宽带校准，补偿滤波器系数长度可选择 4/8/16/32。BB_QEC 预失真模块的相关配置如表 21 所示。

表 21 BB_QEC 配置表

信号名	寄存器地址	功能描述
rx_npredist_en	0x15C[0]	RX_BB_QEC 预失真器使能信号
tx_npredist_en	0x15E[0]	TX_BB_QEC 预失真器使能信号

DPD

DPD 可根据前端功率放大器的非线性特性，对发射信号进行预失真，提高功率放大器输出信号的线性度。在进行 DPD 运算时，需要同步开启反馈通道 RXFB 监测发射通道的末级功放信号，如图 54 所示。

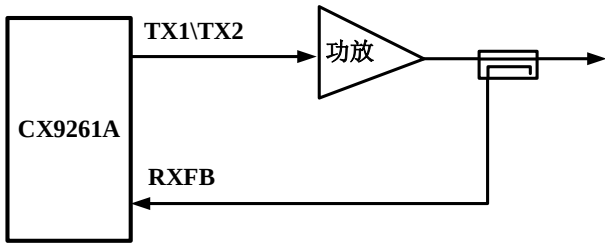


图 54 DPD 运算示意框图

DPD 预失真非线性多项式如下公式所示。

$$y(n) = \sum_{i=0}^3 (f_i(|x(n-m)|) \sum_k x(n-k)) \quad (5)$$

其中， $f_i(\cdot)$ 表示第*i*个抽头，分别代表抽头 $f_0(\cdot)$ 、 $f_1(\cdot)$ 、 $f_2(\cdot)$ 、 $f_3(\cdot)$ ， m 表示幅度延时， k 表示数据延时。

CX9261A 中 DPD 模块每个抽头阶数最高 7 阶，记忆深度最大 2，抽头最大为 4。根据抽头数、数据延时、幅度延时配置，DPD 共包含 6 种模型。

(1) 模型 1

4 抽头，最大记忆深度为 2，如表 22 所示。

表 22 DPD 模型 1

序号	抽头	数据延时	幅度延时
1	0	0	0
2	1	1	1
3	2	2	2
4	3	1	2

(2) 模型 2

3 抽头，最大记忆深度为 1，如表 23 所示。

表 23 DPD 模型 2

序号	抽头	数据延时	幅度延时
1	0	0	0
2	1	0	1
3	2	1	0

(3) 模型 3

4 抽头，最大记忆深度为 1，如表 24 所示。其中，抽头 3 有两项数据延时，分别为 0、1。

表 24 DPD 模型 3

序号	抽头	数据延时	幅度延时
1	0	0	0
2	1	0	1
3	2	1	0
4	3	0&1	1

(4) 模型 4

抽头为 4，最大记忆深度为 2，表 25。

表 25 DPD 模型 4

序号	抽头	数据延时	幅度延时
1	0	0	0
2	1	1	1
3	2	1	0
4	3	0	2

(5) 模型 5

抽头 4，最大记忆深度 2，如表 26 所示。其中，其中抽头 3 有两项数据延时，分别为 0、1。

表 26 DPD 模型 5

序号	抽头	数据延时	幅度延时	备注
1	0	0	0	对角项
2	1	0	1	包络滞后项
3	2	1	0	包络超前项
4	3	0&1	2	包络滞后项

(6) 模型 6

最多 3 抽头，最大记忆深度为 2，如表 27 所示。

表 27 DPD 模型 6

序号	抽头	数据延时	幅度延时
1	0	0	0
2	1	1	1
3	2	2	2

DPD 寄存器配置如表 25 所示。其中，在模型抽头 3 数据延时为 0&1 时，plus_flag 信号置为 1，分别配置 delay0_data3、delay1_data3 为 0、1；当模型抽头 3 数据据延时为 0 或者 1 时，plus_flag 信号置为 0，配置 delay0_data3。

表 28 DPD 配置表

信号名	寄存器地址	功能描述
delay_mag1	0x300[4]	抽头 1 幅度延时，0:无延迟 1:延迟 1 拍。
delay_mag2	0x300[3:2]	抽头 2 幅度延时，00:无延迟 01:延迟 1 拍 02:延迟两拍。
delay_mag3	0x300[1:0]	抽头 3 幅度延时，00:无延迟 01:延迟 1 拍 02:延迟两拍。
delay_data1	0x301[6]	抽头 1 数据延时，0:无延迟 1:延迟 1 拍。
delay_data2	0x301[5:4]	抽头 2 数据延时，00:无延迟 01:延迟 1 拍 02:延迟两拍。
delay0_data3	0x302[3:2]	抽头 3 数据 0 延时，00:无延迟 01:延迟 1 拍 02:不使用。
delay1_data3	0x302[1:0]	抽头 3 数据 1 延时，00:无延迟 01:延迟 1 拍 02:不使用。
pd_en	0x303[7]	DPD 使能信号 0: bypass 1:使能 DPD。
data_en	0x303[6]	DPD 数据使能信号配置为恒 1。
plus_flag	0x303[5]	抽头 3 delay1_data3 使能，0:旁路，抽头 3 只使用数据延时 delay0_data3 配置，1:抽头 3 使用 delay0_data3、delay1_data3 配置。
interp_en	0x303[4]	预示真系数线性插值使能信号，1 有效。
lut_en	0x303[3:0]	使能信号，[3]:抽头 3 使能，[2]:抽头 2 使能，[1]:抽头 1 使能，[0]:抽头 0 使能。

数字数据接口

CX9261A/CX9261AN 通过一个串行外设接口(SPI)在器件和基带芯片 BBP 之间传输数据。

数据端口可以配置为单端 CMOS 格式，2R2T 时支持单端 CMOS 格式和差分 LVDS 格式。

两个端口可以工作于 TDD 模式或 FDD 模式：在 TDD 模式下，全部数据端口用于发射数据或者接收数据；在 FDD 模式下，一半端口用于发射数据、另一半用于接收数据。在数据速率较低时，接口也可配置为只使用其中一个数据端口，从而减少接口引脚数量。

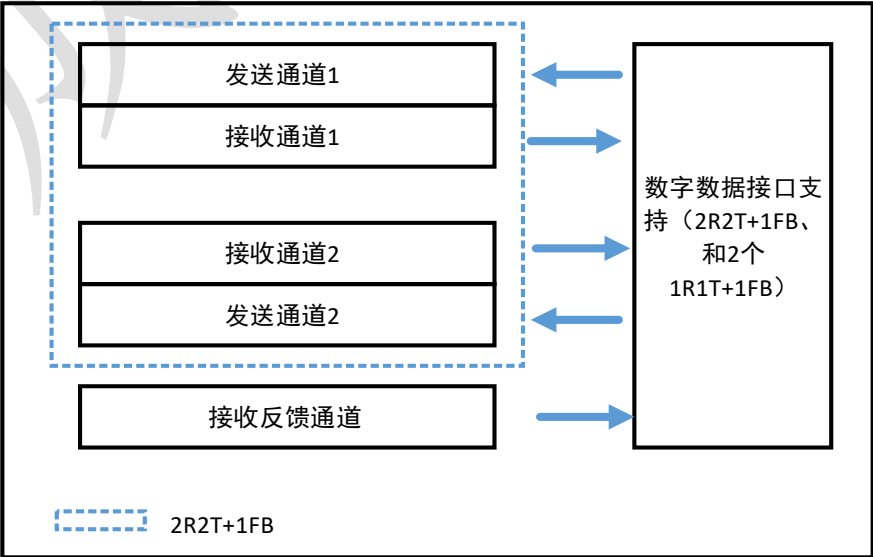


图 55 三收两发数字数据接口框图

三收两发数字数据接口的配置如上所示，由两组单收单发通道和一个反馈通道组成，分别为收发通道 1、收发通道 2 和反馈通道。根据不同的应用场景可以配置成不同的模式。

- 1) 收发通道 1 和收发通道 2 组成 2R2T 模式；
- 2) 3 组通道各自独立工作；

数据接口定义方式如下表所示：

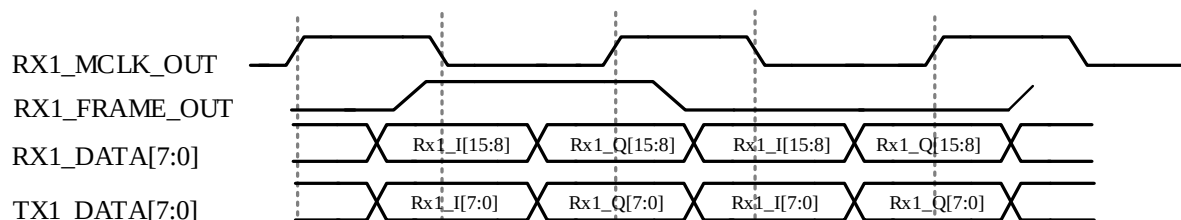
表 29 CMOS/LVDS 数据接口定义表

CMOS 接口定义	LVDS 接口定义
RX2_DATA<7>	P0_D_lvds_P<7>
RX2_DATA<6>	P0_D_lvds_N<7>
RX2_DATA<5>	P0_D_lvds_P<6>
RX2_DATA<4>	P0_D_lvds_N<6>
RX2_DATA<3>	P0_D_lvds_P<5>
RX2_DATA<2>	P0_D_lvds_N<5>
RX2_DATA<1>	P0_D_lvds_P<4>
RX2_DATA<0>	P0_D_lvds_N<4>
TX2_DATA<7>	P0_D_lvds_P<3>
TX2_DATA<6>	P0_D_lvds_N<3>
TX2_DATA<5>	P0_D_lvds_P<2>
TX2_DATA<4>	P0_D_lvds_N<2>
TX2_DATA<3>	P0_D_lvds_P<1>
TX2_DATA<2>	P0_D_lvds_N<1>
TX2_DATA<1>	P0_D_lvds_P<0>
TX2_DATA<0>	P0_D_lvds_N<0>
RX1_DATA<7>	P1_D_lvds_P<7>
RX1_DATA<6>	P1_D_lvds_N<7>
RX1_DATA<5>	P1_D_lvds_P<6>
RX1_DATA<4>	P1_D_lvds_N<6>
RX1_DATA<3>	P1_D_lvds_P<5>
RX1_DATA<2>	P1_D_lvds_N<5>
RX1_DATA<1>	P1_D_lvds_P<4>
RX1_DATA<0>	P1_D_lvds_N<4>
TX1_DATA<7>	P1_D_lvds_P<3>
TX1_DATA<6>	P1_D_lvds_N<3>
TX1_DATA<5>	P1_D_lvds_P<2>
TX1_DATA<4>	P1_D_lvds_N<2>
TX1_DATA<3>	P1_D_lvds_P<1>
TX1_DATA<2>	P1_D_lvds_N<1>
TX1_DATA<1>	P1_D_lvds_P<0>
TX1_DATA<0>	P1_D_lvds_N<0>

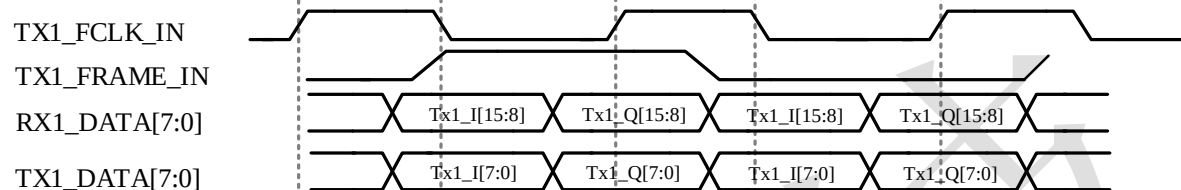
Single port 单收单发 TDD 模式

Single port 单收单发 TDD 模式下，用 16 根数据线交替实现数据的输入输出，主要分为 FRAME 半包和全包模式；

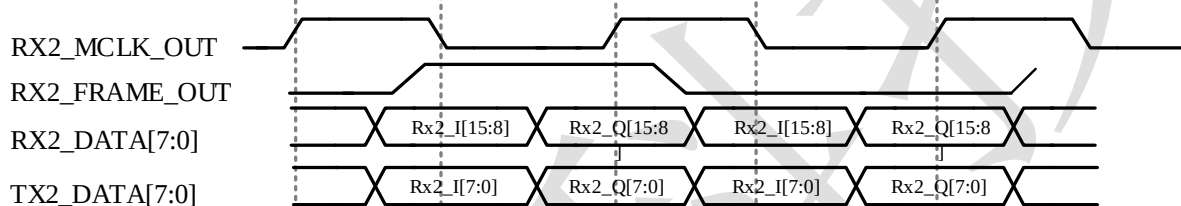
1) **FRAME 全包模式** (DDR 时钟双沿采样, 半个周期的 FRAME 高电平用于指示正交随路数据 IQ)



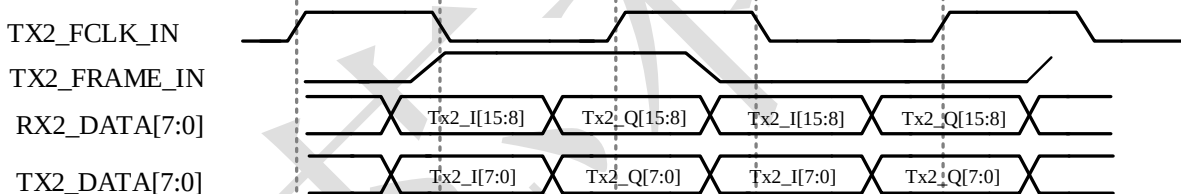
TRX1 1R1T TDD 接收端口时序



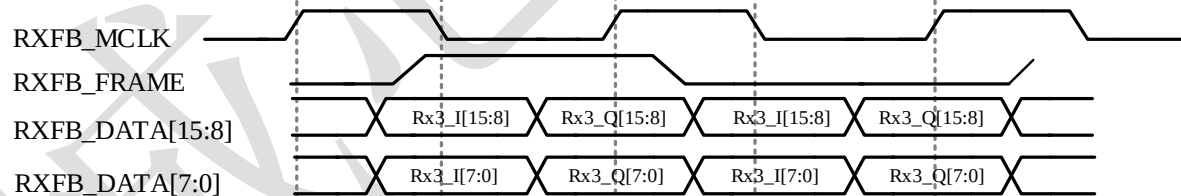
TRX1 1R1T TDD 发送端口时序



TRX2 1R1T TDD 接收端口时序



TRX2 1R1T TDD 发送端口时序



TRFB 1R1T TDD 接收端口时序

图 56 1R1T TDD 全包模式

2) FRAME 半包模式 (DDR 时钟双沿采样, 半个周期的 FRAME 高电平只用于指示正交随路数据 I)

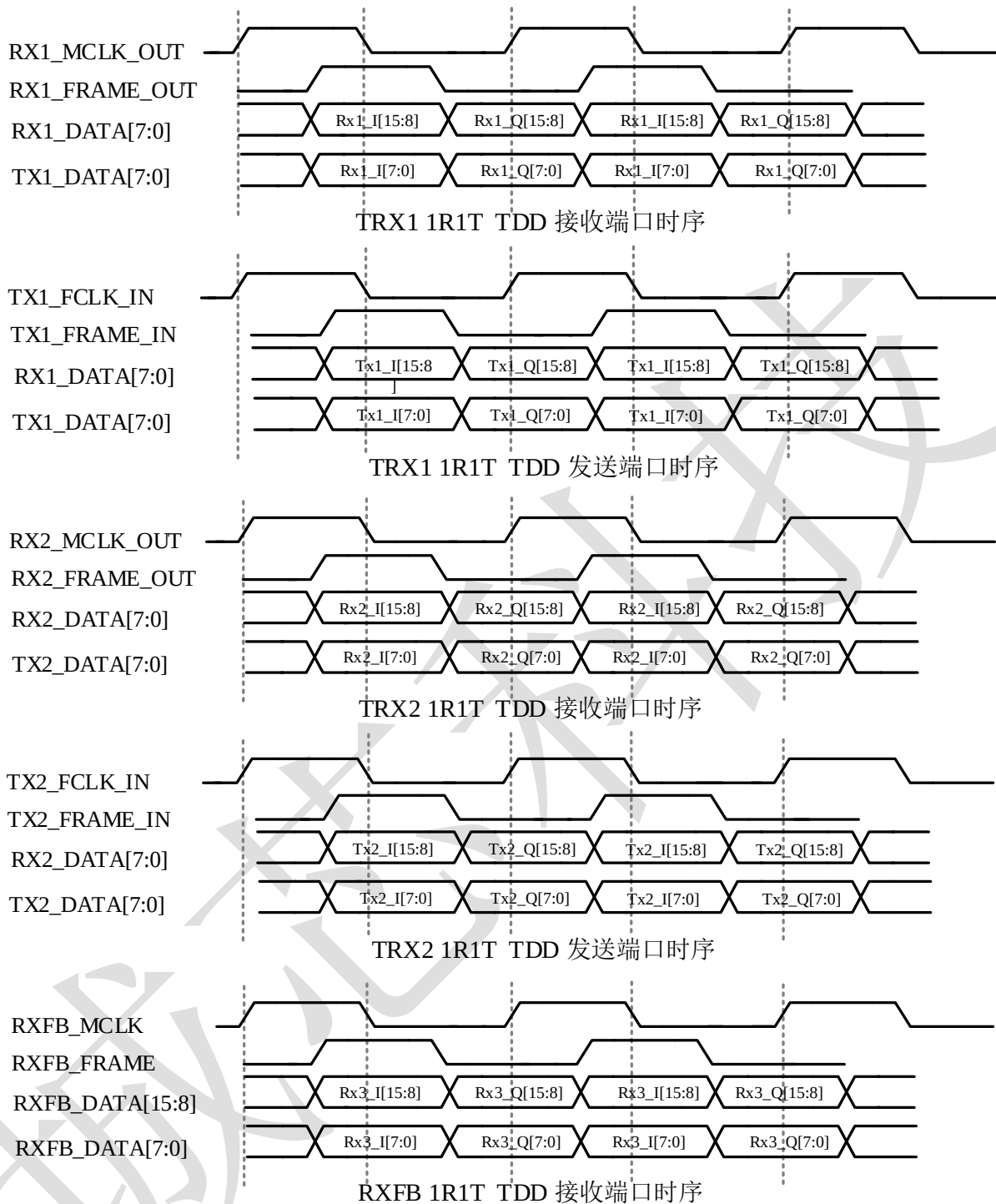


图 57 1R1T TDD 半包模式

Single port 单收单发 FDD 模式

Single port 单收单发 FDD 模式下，8 根 RX 数据线用于数据输入、另外 8 根 TX 数据线用于数据输出；

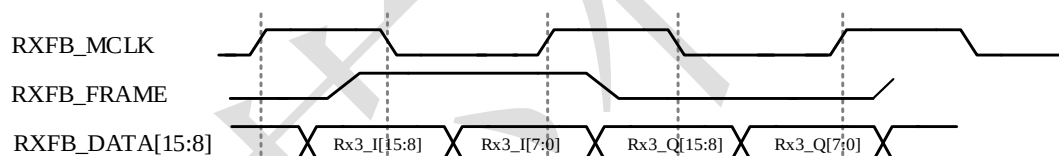
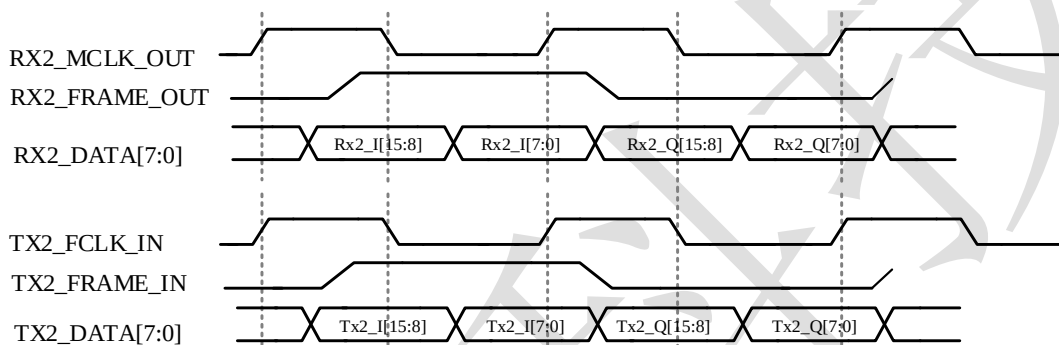
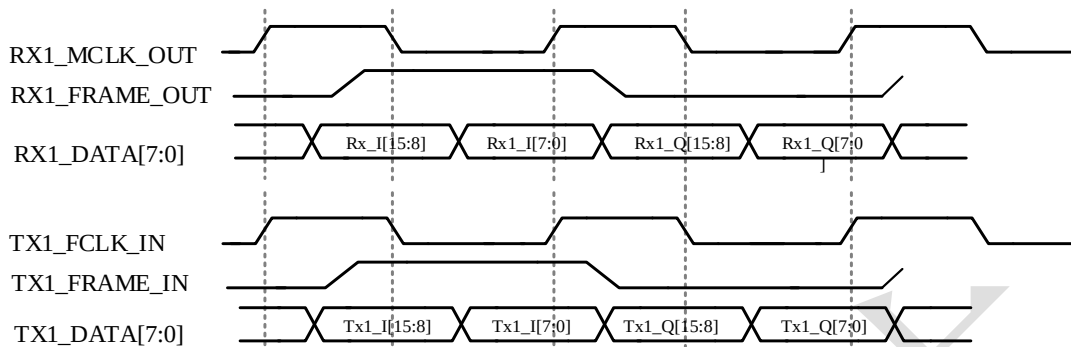


图 58 1R1T FDD 模式

Single port 两收两发 TDD 模式

Single port 两收两发 TDD 模式下，只用通道 2 的 16 根数据线交替实现通道 2 和通道 1 数据的输入和输出；

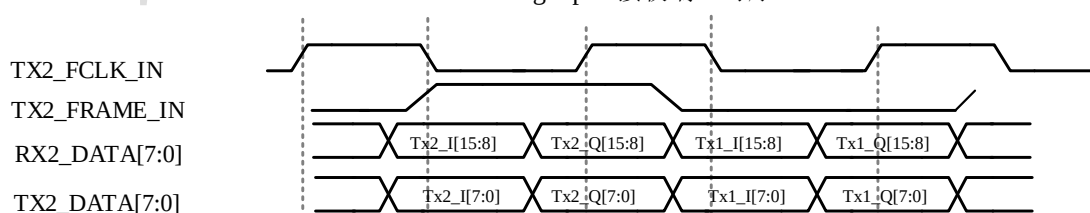
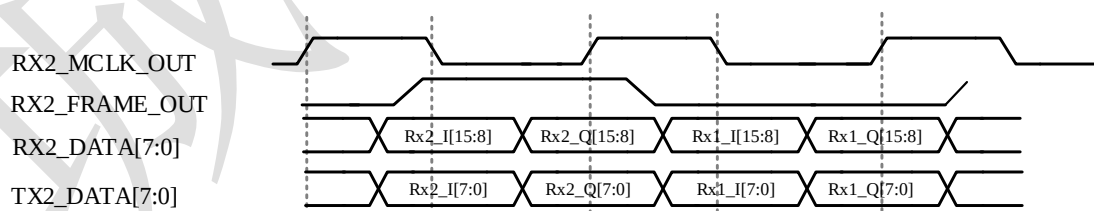


图 59 2R2T TDD 单端口模式

Dual port 两收两发 TDD 模式

Dual port 两收两发 TDD 模式下，同时使用通道 1 和通道 2 的 32 根线交替实现数据的输入和输出；

1) 2R2T+1R 组合的工作模式（通道 1 和通道 2 进行组合，通道 3 接收独立工作）

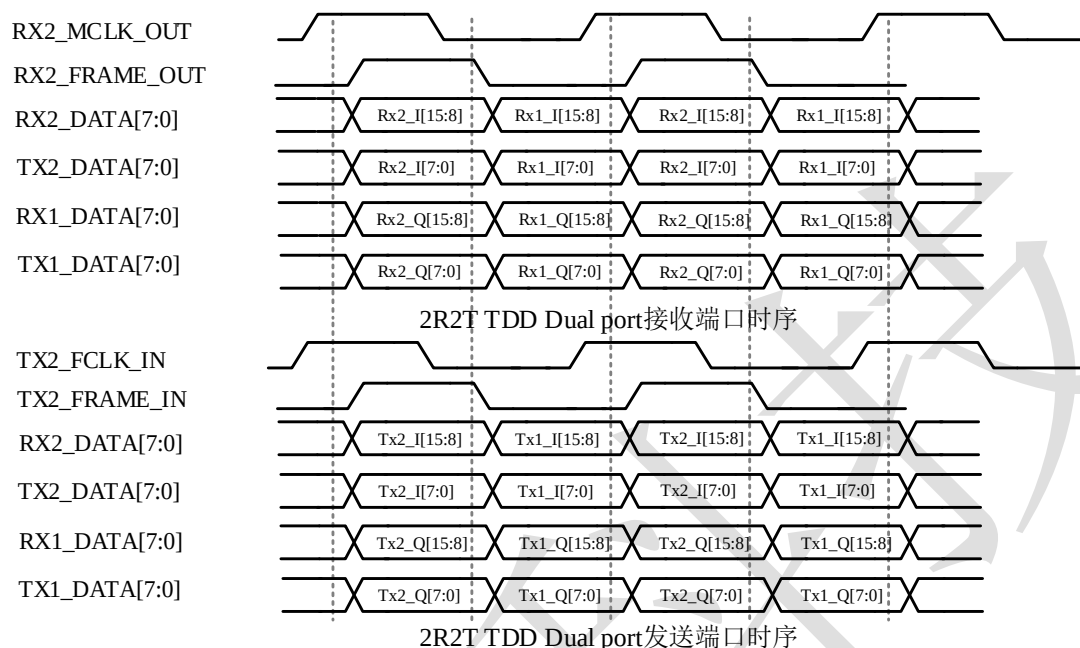


图 60 2R2T TDD 双端口模式

Dual port 单收单发 FDD 模式

Dual port 单收单发 FDD 模式下，同时使用通道 1 和通道 2 的 32 位数据线来实现数据的输入和输出。

1) FRAME 全包模式（DDR 时钟双沿采样，半个周期的 FRAME 高电平用于指示正交随路数据 IQ）

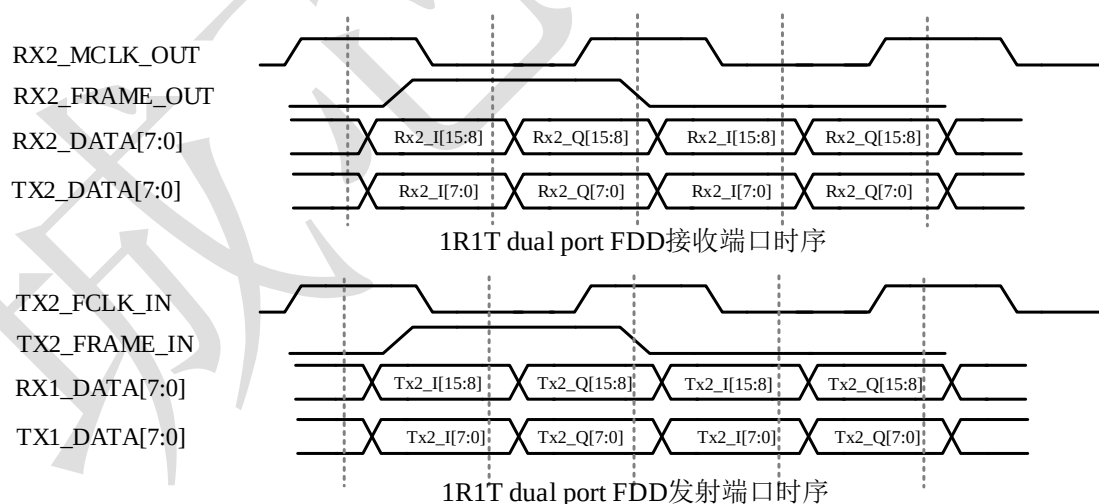


图 61 1R1T FDD 单端口模式

2) FRAME 半包模式 (DDR 时钟双沿采样, 半个周期的 FRAME 高电平只用于指示正交随路数据 I)

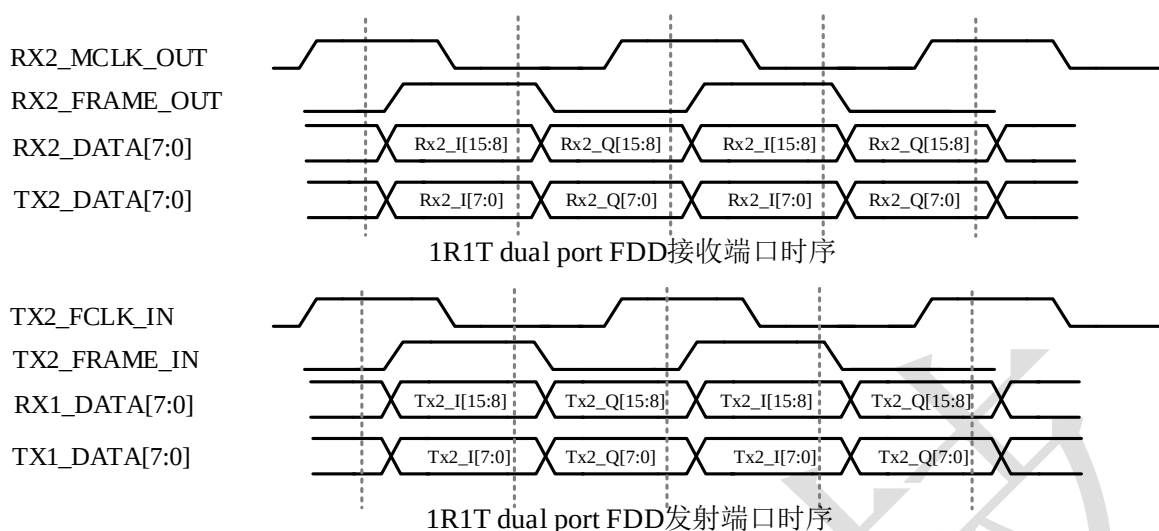


图 62 1R1T FDD 双端口模式

Dual port 两收两发 FDD 模式

Dual port 两收两发 FDD 模式下, 用 32 根线来实现数据的输入和输出。

1) 2R2T+1R 组合的工作模式 (通道 1 和通道 2 进行组合, 通道 3 接收独立工作)

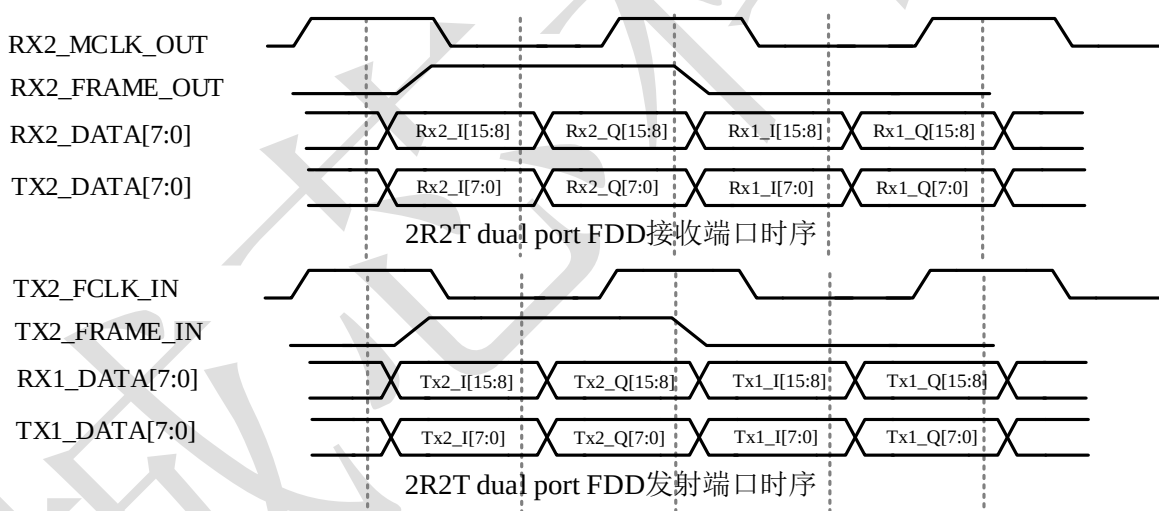


图 63 2R2T FDD 双端口模式

RX_MCLK/TX_FCLK

基带芯片 BBP 可以在接收数据使用 RX 数据随路时钟 RX_MCLK 信号。RX_MCLK 可以设为提供单数据速率 (SDR) 时序的速率 (其中, 数据在各上升时钟沿采样), 也可设为提供双数据速率 (DDR) 时序 (其中, 同时在上升沿和下降沿捕获数据)。该时序适用于使用单端口或双端口的运行模式。只要 BBPLL 有效工作, RX_MCLK/TX_FCLK 一直存在, 并且正常工作模式下 RX_MCLK 和 TX_FCLK 的时钟下降沿与数据对齐, 否则会引起数据采样错误。

RX_FRAME/TX_FRAME

每当接收器输出有效数据时, 器件都会生成一个 RX_FRAME 输出信号。该信号有两个模式: 电平模式 (RX_FRAME 在数据有效期间保持高电平) 和脉冲模式 (RX_FRAME 根据最低频时钟和次低频时钟之间的分频关系)。同样, 基带芯片 BBP 必须提供一个 TX_FRAME 信号, 以上升沿来指示有效数据传输的开始。与 RX_FRAME 相似, TX_FRAME 信号可能在整个突发过程中保持高电平, 或者 50% 的占空比脉冲。

LVDS 接口 TDD 模式

LVDS 接口只在 2R2T 的模式下应用，该模式下，用 16 对差分数据线交替实现数据的输入输出。在 TDD 模式下，工作在接收状态时，CX9261A 数据接口信号方向为输出，数据从 CX9261A 传输到基带芯片。

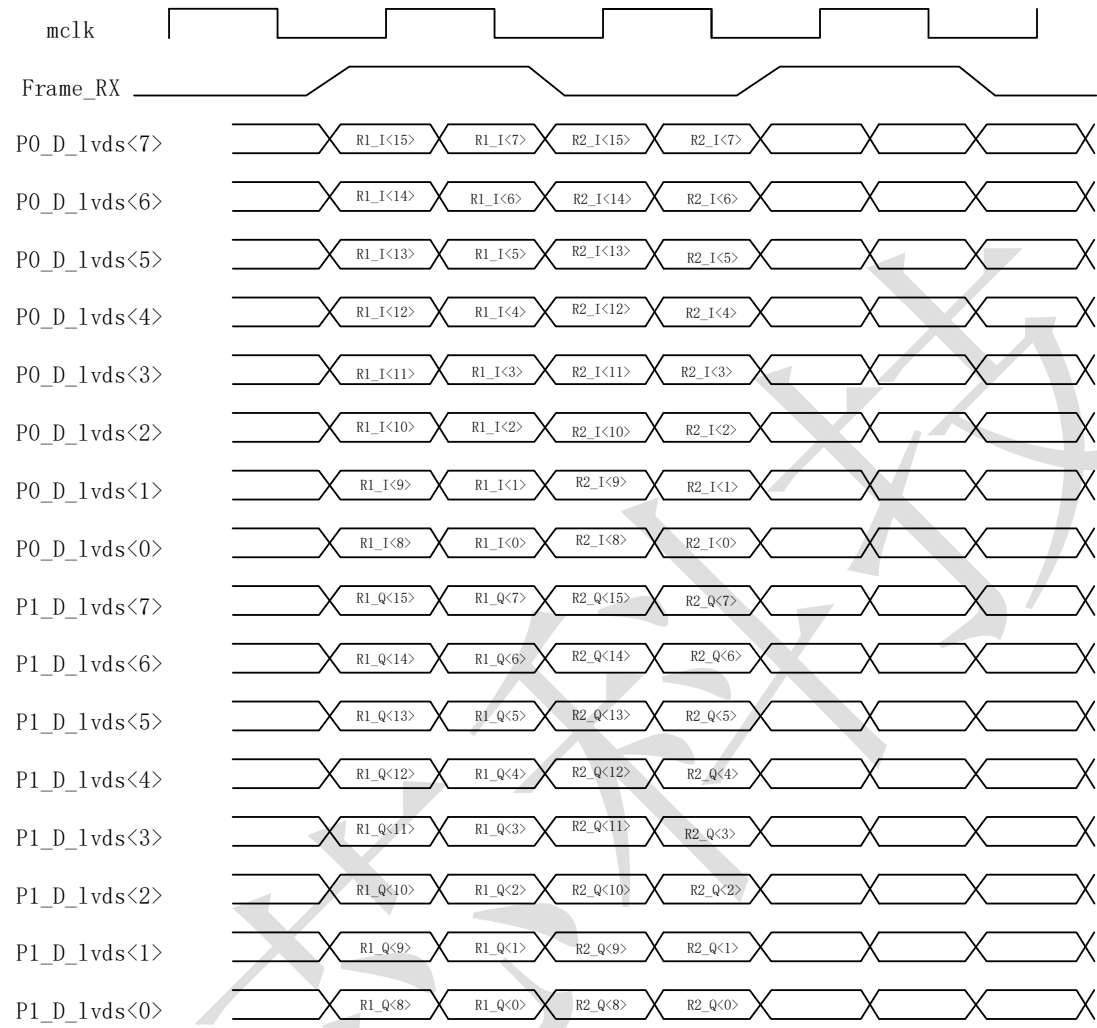


图 64 LVDS TDD 接收数据传输格式

在 TDD 模式下，工作在发射状态时，CX9261A 数据接口信号方向为输入，数据从基带芯片传输到 CX9261A。

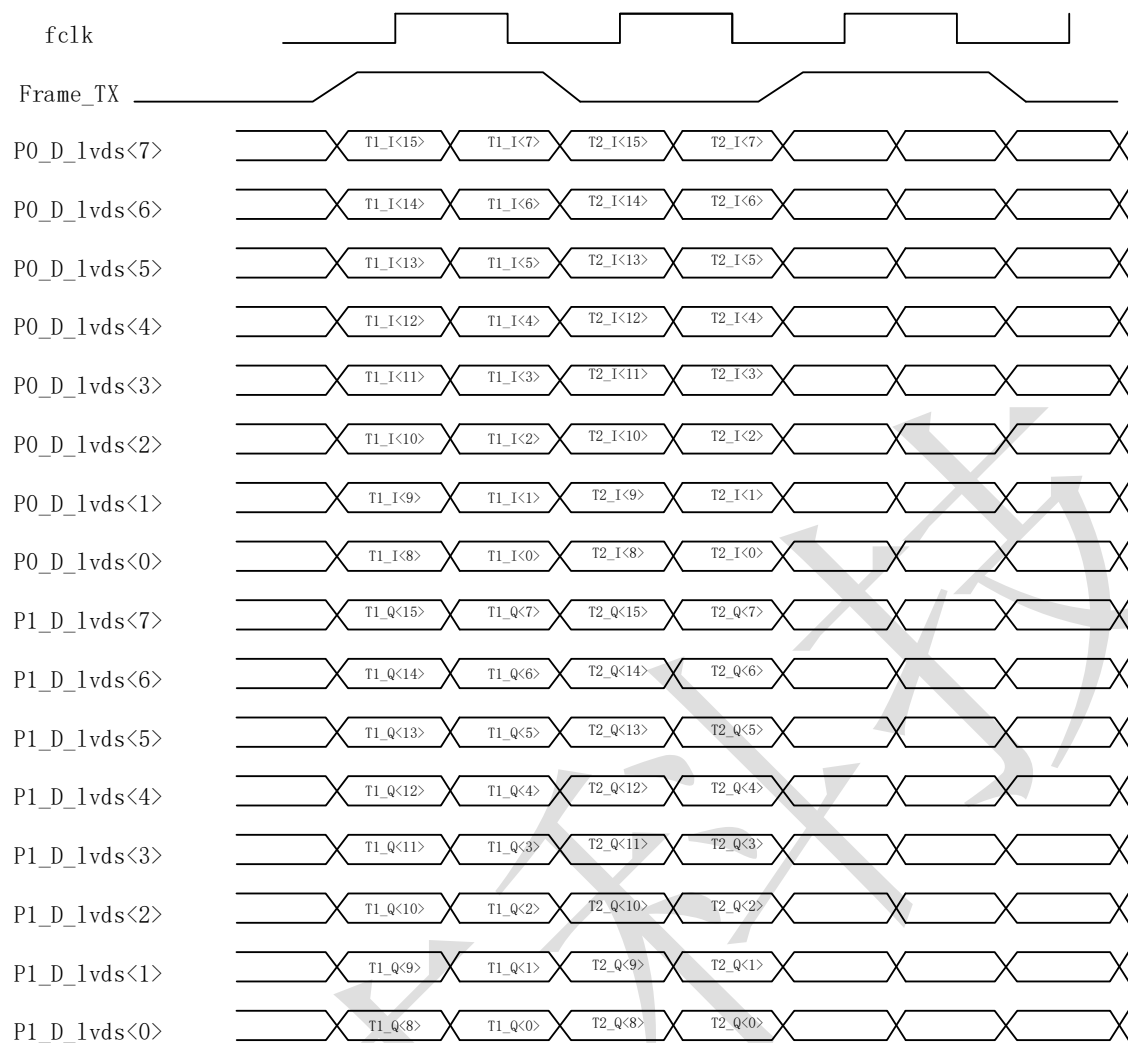


图 65 LVDS TDD 发送数据传输格式

LVDS 接口 FDD 模式

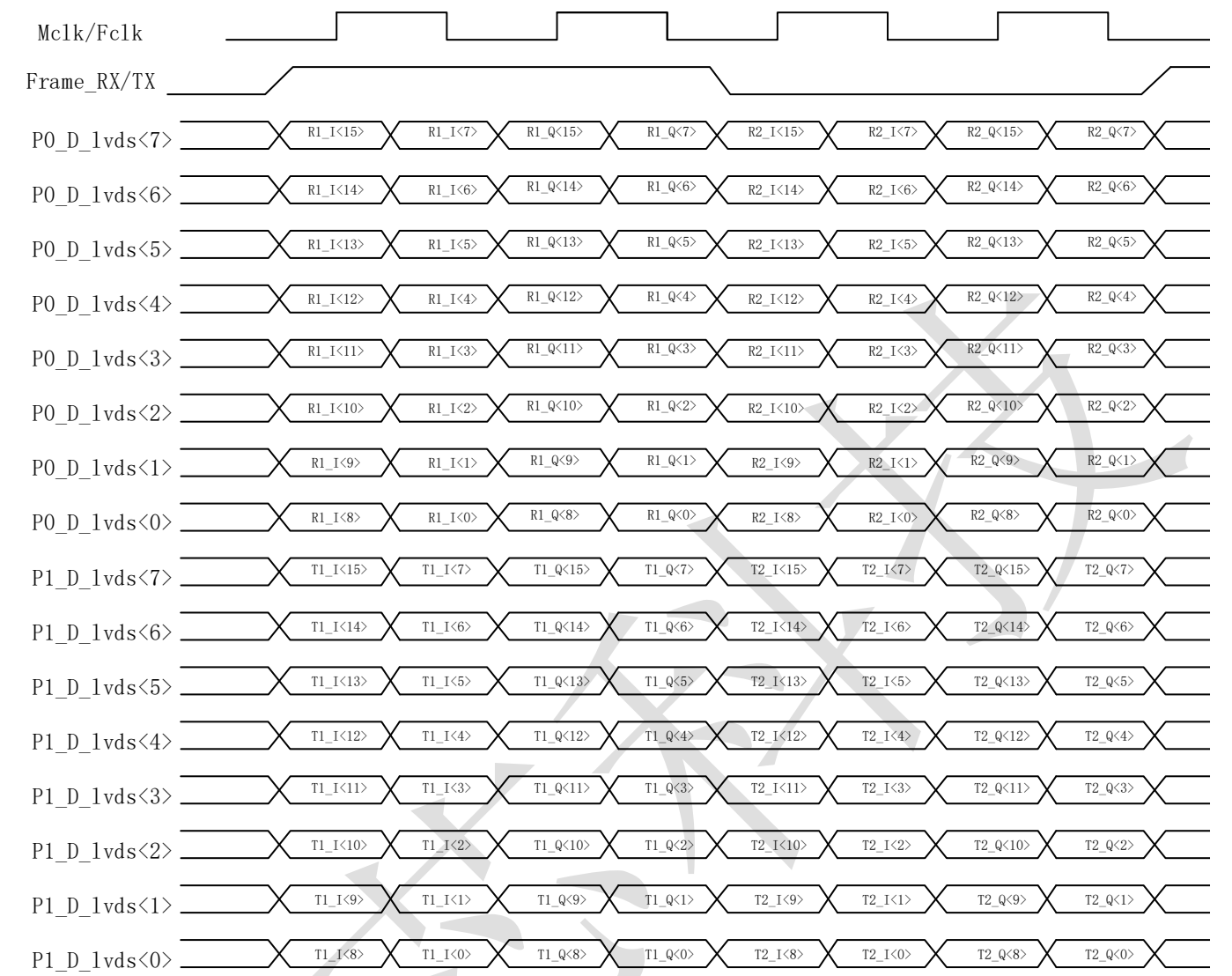


图 66 LVDS FDD 数据传输格式

功耗管理：

射频收发器工作模式切换支持 SPI 方式和管脚控制方式，SPI 方式下支持 8 种工作模式：1、断电模式；2 休眠模式；3、ALERT 模式；4、校准模式；5、TDD 接收模式；6、TDD 发射模式；7、FDD 模式；8、只开反馈通道。管脚控制方式通过 ENABLE 和 TXNRX 管脚控制实现，管脚控制方式译码表如下表所示：

表 30 管脚控制方式译码表

管脚控制字(ENABLE/TXNRX)	工作状态
00	ALERT 模式
10	TDD 接收模式
11	TDD 发射模式
01	FDD 模式

断电模式为射频收发器内部所有模块均处于断电状态；休眠模式为射频收发器内部除了带隙基准、LDO、时钟接收机等模块外其余模块均处于断电状态；ALERT 模式为 PLL 模块上电；校准模式用于一些需要前台校准的模拟模块校准(如 dc 校准，IQ 校准)。以上定义的所有状态，通过控制如下表所示的 27bits 寄存器实现，地址 0x00[1]需要配置为 1。

断电模式和休眠模式寄存器值相对固定，其余模式下各寄存器值支持用户灵活配置，使用过程中用户可提前配置好这些寄存器，状态切换时只需对一个寄存器进行操作即可。具体需要控制的寄存器如下表所示：表中*pd 信号的 1 表示断电，0 表示模块正常工作；*enable*的 0 表示断电，1 表示正常工作。

表 31 功耗管理寄存器分配表

模式	0	1	2	3	4	5	6	7		0	1	2	3	4	5	6	7
	断电模式	休眠模式 (默认模式)	Alert模式 (TXNRX/E NABLE=00)	校准模式 (DC校准 、IQ校 准)	TDD接 收模式 (TXNR X/ENA BLE=0/ 1)	TDD发射 模式 (TXNRX/E NABLE=1/ 1)	FDD模式 (TXNRX/E NABLE=1/ 0)	只开观 测通 道, 其 余通道 关闭	bits分 配	断电 模式	休眠 模式 (默认 模式)	Alert 模式 (TXNR X/ENA BLE=0)	校准 模式 (DC 校准 、IQ 校 准)	TDD 接收 模式 (TXN RX/EN ABLE =0/1)	TDD 发射 模式 (TXNR X/EN ABLE =1/1)	FDD模 式 (TXNR X/ENA BLE=1/ 0)	只开 观测 通 道, 其 余通 道关 闭
									7	0x031	0x035	0x039	0x03D	0x041	0x045	0x049	0x04D
									6								
									5								
dig_enable_tx2	0	0	0	1	0	1	1	0	4								
dig_enable_tx1	0	0	0	1	0	1	1	0	3								
dig_enable_rx3	0	0	0	1	0	1	1	1	2								
dig_enable_rx2	0	0	0	1	1	0	1	0	1								
dig_enable_rx1	0	0	0	1	1	0	1	0	0								
									7	0x032	0x036	0x03A	0x03E	0x042	0x046	0x04A	0x04E
frefl_rx_pd	1	0	0	0	0	0	0	0	6								
auxadc2_pd	1	1	1	1	1	1	1	1	5								
auxadc1_pd	1	1	1	1	1	1	1	1	4								
auxdac_pd	1	1	1	1	1	1	1	1	3								
pd_temp_senser	1	1	1	0	1	1	1	1	2								
bgr_pd	1	0	0	0	0	0	0	0	1								
exlo_pd	1	1	1	1	1	1	1	1	0	0x033	0x037	0x03B	0x03F	0x043	0x047	0x04B	0x04F
tx2_pd	1	1	1	0	1	0	0	1	7								
tx1_pd	1	1	1	0	1	0	0	1	6								
rx3_pd	1	1	1	1	1	1	1	0	5								
rx2_pd	1	1	1	0	0	1	0	1	4								
rx1_pd	1	1	1	0	0	1	0	1	3								
pll5_ldo_pd	1	1	1	1	1	1	1	0	2								
pll5_pd	1	1	1	1	1	1	1	0	1	0x034	0x038	0x03C	0x040	0x044	0x048	0x04C	0x050
pll4_ldo_pd	1	1	1	1	1	1	1	1	0								
pll4_pd	1	1	1	1	1	1	1	1	7								
pll3_ldo_pd	1	1	1	1	1	1	1	1	6								
pll3_pd	1	1	1	1	1	1	1	1	5								
pll2_ldo_pd	1	0	0	0	0	0	0	1	4								
pll2_pd	1	1	0	0	0	0	0	1	3								
pll1_ldo_pd	1	0	0	0	0	0	0	1	2								
pll1_pd	1	1	0	0	0	0	0	1	1								
bbpll_pd	1	1	0	0	0	0	0	0	0								

SPI 控制模式

CX9261A/CX9261AN 芯片的 SPI 控制电路, 支持三线模式和四线模式。在 SPI 控制模式下, 通过 SPI 配置控制寄存器, 或者通过 SPI 来控制通道的收发, SPI 最大工作频率为 50MHz。

表 32 配置信息说明

数据位	信号名称	作用	备注
spi_io_num	SPI 控制三线四线工作模式控制	SPI 读写数据时, 三线模式和四线模式选择信号: 低电平 0: 4 线工作模式 (默认)、高电平 1: 3 线工作模式;	寄存器地址: 0x000[6]
spi_mode [1:0]	数字通道 1 和数字通道 2 共用寄存器读写选择	00:11;通道 1 和通道 2 部分寄存器同时控制, 此时 spi 读出寄存器为数字通道 1; 01: 读写数字通道 1 的寄存器; 10: 读写数字通道 2 的寄存器	寄存器地址: 0x000[5:4]

SPI 读写指令由 24 位二进制数 D[23:0]组成, 其中读写标识、3 比特字节控制位和 12 比特地址位, 8 比特读写数据位, SPI 的数据写入为 SCLK 的下降沿有效, SPI 的数据输出由 SCLK 的上升沿触发, 并且片选信号 CSB 拉低 (低电平有效);

表 33 SPI 指令数字格式说明

SPI 指令格式	BITS	备注
D[23]读写控制字 W/R	1bits	1: 写数据, 0: 读数据
D[22:20]字节控制	3bits	000—111 分别代表 spi 读写 1-8 字节数据, 默认(000)

字 INB		
D[19:8] 地址控制 字 addr	12bits	12bits 的地址
D[7:0]写数据 wd	8bits	写数据时在地址后紧跟的数据
D[7:0]读数据 rd	8bits	读数据时紧跟读地址后的数据

（1）四线 SPI 接口

单字节写入

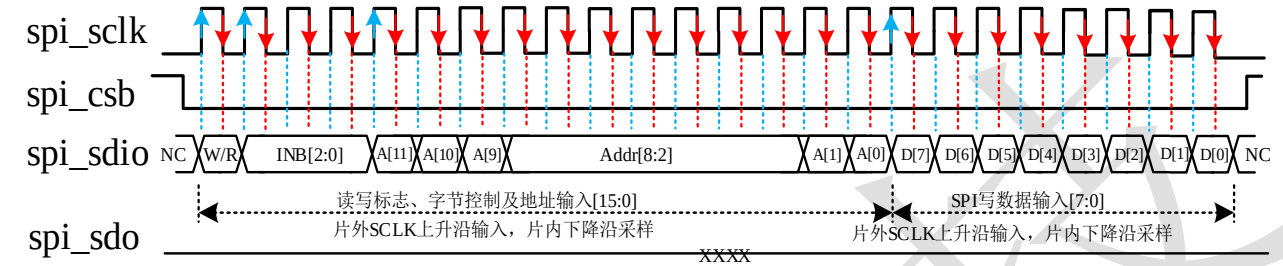


图 67 四线 SPI 写时序图（单字节写入）

spi_sdio W/R（1bit）+INB[2:0]+addr[11:0]+wd[7:0]
spi_sdo XXXX（高阻）

单字节读取

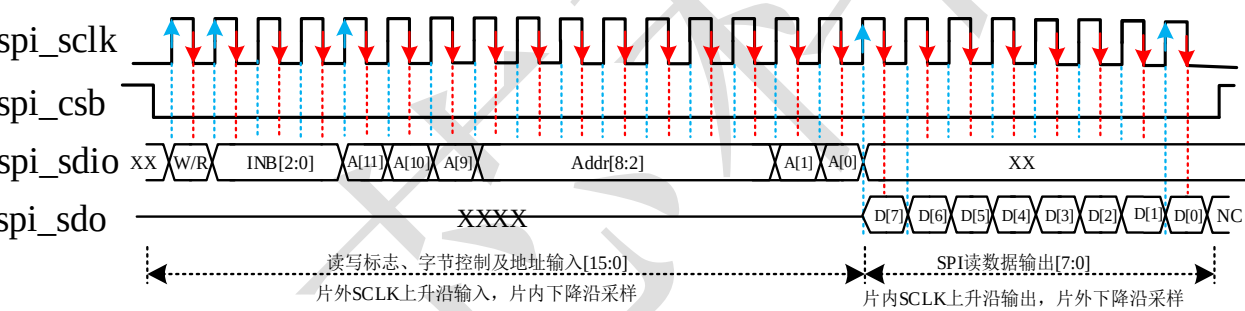


图 68 四线 SPI 读时序图（单字节读取）

spi_sdio W/R（1bit）+INB[2:0]+addr[11:0]
spi_sdo XXXX（高阻）+ rd[7:0]

（2）三线 SPI 接口

单字节写入

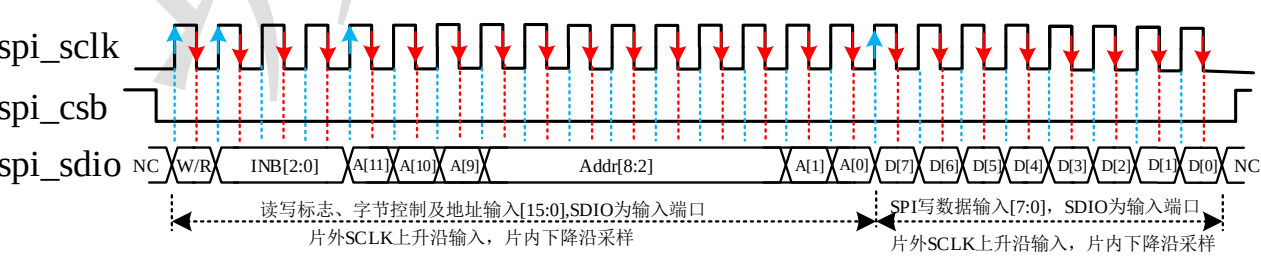


图 69 三线 SPI 写时序图

spi_sdio W/R（1bit）+INB[2:0]+addr[11:0]+wd[7:0]

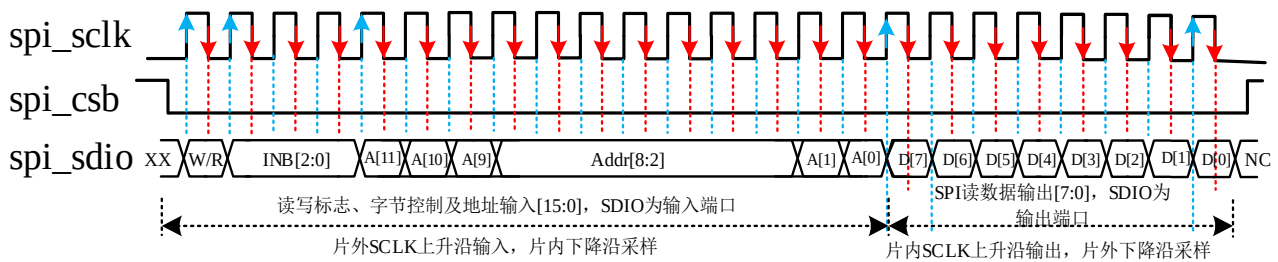


图 70 三线 SPI 读时序图

spi_sdio W/R (1bit) + INB[2:0] + addr[11:0] + rd[7:0]

(3) SPI 多字节读写控制

多字节写：

SPI_SDIO 输送完 16 位命令信号后，直接跟随着多字节的数据信息，并根据 MSB 和 LSB 的不同选择将数据写入到目标地址中。MSB 每写完一个字节的数据，地址将自减 1。LSB 每写完一个字节的数据，地址将自加 1。写完数据之后，接着时钟 16 个下降沿将继续读取命令，如果没有将返回初始状态，使能信号被拉高。

4 线和 3 线操作，写数据都为同一条线。

多字节读：

4 线读：SPI_SDIO 输送完 16 位命令信号后，SPI_SDIO 变为低电平，SPI_SDO 根据 MSB 和 LSB 设为信息，取出从机中目标地址的数据并传送给主机。MSB 每读完一个字节的数据，地址将自减 1。LSB 每读完一个字节的数据，地址将自加 1。读完数据之后，接下来 16 个时钟的下降沿，将继续读取命令，若没有将返回初始状态，使能信号被拉高。

通用控制引脚

CX9261A/CX9261AN 的 12 个 GPIO 输出管脚 CTRL_OUT[11:0] 根据不同的定义，可以输出芯片内不同的工作状态。

GPIO 的信号说明：

表 34 GPIO 信号说明表

信号名	功能说明
Ch1_lna_ctrl	Rx1 外部低噪放控制能量值
Ch2_lna_ctrl	Rx2 外部低噪放控制能量值
Ch3_lna_ctrl	Rx1fb 外部低噪放控制能量值
Ch1_lmt_pdt	Rx1 模拟混频器的能量统计值
Ch2_lmt_pdt	Rx2 模拟混频器的能量统计值
Ch3_lmt_pdt	Rx1fb 模拟混频器的能量统计值
Ch1_lna_pdt	Rx1 外部低噪放能量统计值
Ch2_lna_pdt	Rx2 外部低噪放能量统计值
Ch3_lna_pdt	Rx1fb 外部低噪放能量统计值
Ch1_dig_pdt	Rx1 数字通道上的能量统计值
Ch2_dig_pdt	Rx2 数字通道上的能量统计值
Ch3_dig_pdt	Rx1fb 数字通道上的能量统计值
Ch1_lna_lock	Rx1 外部低噪放 agc 能量调整锁定标志
Ch1_lna_error	Rx1 外部低噪放 agc 能量调整错误标志
Ch1_mix_lock	Rx1 模拟混频器能量调整锁定标志
Ch1_mix_error	Rx1 模拟混频器能量调整错误标志
Ch2_lna_lock	Rx2 外部低噪放 agc 能量调整锁定标志
Ch2_lna_error	Rx2 外部低噪放 agc 能量调整错误标志
Ch2_mix_lock	Rx2 模拟混频器能量调整锁定标志
Ch2_mix_error	Rx2 模拟混频器能量调整错误标志

Ch3_lna_lock	Rxfrb 外部低噪放 agc 能量调整锁定标志
Ch3_lna_error	Rxfrb 外部低噪放 agc 能量调整错误标志
Ch3_mix_lock	Rxfrb 模拟混频器能量调整锁定标志
Ch3_mix_error	Rxfrb 模拟混频器能量调整错误标志
Ch1_PLL1_lock	Pl11 的锁定标志
Ch1_PLL1_AFC_Err	Pl11 afc 校准错误标志
Ch1_PLL2_lock	Pl12 的锁定标志
Ch1_PLL2_AFC_Err	Pl12 afc 校准错误标志
Ch2_PLL1_lock	Pl13 的锁定标志
Ch2_PLL1_AFC_Err	Pl13 afc 校准错误标志
Ch2_PLL2_lock	Pl14 的锁定标志
Ch2_PLL2_AFC_Err	Pl14 afc 校准错误标志
Ch3_PLL5_lock	Pl15 的锁定标志
Ch3_PLL5_AFC_Err	Pl15afc 校准错误标志
Ch1_RX_FIR_ovfl_i	数字通道 rx1 I fir 溢出标志
Ch1_RX_HB1_ovfl_i	数字通道 rx1 I hbf1 溢出标志
Ch1_RX_HB2_ovfl_i	数字通道 rx1 I hbf2 溢出标志
Ch1_RX_HB3_ovfl_i	数字通道 rx1 I hbf3 溢出标志
Ch1_RX_CIC_ovfl_i	数字通道 rx1 I cic 溢出标志
Ch1_RX_FIR_ovfl_q	数字通道 rx1 Q fir 溢出标志
Ch1_RX_HB1_ovfl_q	数字通道 rx1 Q hbf1 溢出标志
Ch1_RX_HB2_ovfl_q	数字通道 rx1 Q hbf2 溢出标志
Ch1_RX_HB3_ovfl_q	数字通道 rx1 Q hbf3 溢出标志
Ch1_RX_CIC_ovfl_q	数字通道 rx1 Q cic 溢出标志
Ch2_RX_FIR_ovfl_i	数字通道 rx2 I fir 溢出标志
Ch2_RX_HB1_ovfl_i	数字通道 rx2 I hbf1 溢出标志
Ch2_RX_HB2_ovfl_i	数字通道 rx2 I hbf2 溢出标志
Ch2_RX_HB3_ovfl_i	数字通道 rx2 I hbf3 溢出标志
Ch2_RX_CIC_ovfl_i	数字通道 rx2 I cic 溢出标志
Ch2_RX_FIR_ovfl_q	数字通道 rx2 Q fir 溢出标志
Ch2_RX_HB1_ovfl_q	数字通道 rx2 Q hbf1 溢出标志
Ch2_RX_HB2_ovfl_q	数字通道 rx2 Q hbf2 溢出标志
Ch2_RX_HB3_ovfl_q	数字通道 rx2 Q hbf3 溢出标志
Ch2_RX_CIC_ovfl_q	数字通道 rx2 Q cic 溢出标志
Ch3_RX_FIR_ovfl_i	数字通道 rxfrb I fir 溢出标志
Ch3_RX_HB1_ovfl_i	数字通道 rxfrb I hbf1 溢出标志
Ch3_RX_HB2_ovfl_i	数字通道 rxfrb I hbf2 溢出标志
Ch3_RX_HB3_ovfl_i	数字通道 rxfrb I hbf3 溢出标志
Ch3_RX_CIC_ovfl_i	数字通道 rxfrb I cic 溢出标志
Ch3_RX_FIR_ovfl_q	数字通道 rxfrb Q fir 溢出标志
Ch3_RX_HB1_ovfl_q	数字通道 rxfrb Q hbf1 溢出标志
Ch3_RX_HB2_ovfl_q	数字通道 rxfrb Q hbf2 溢出标志
Ch3_RX_HB3_ovfl_q	数字通道 rxfrb Q hbf3 溢出标志
Ch3_RX_CIC_ovfl_q	数字通道 rxfrb Q cic 溢出标志
alarm	中断报警
uart0_txd	串口 txd
uart0_rxd	串口 rxd

tdo_o	JTAG 信号
tck_i	JTAG 信号
tms_i	JTAG 信号
tdi_i	JTAG 信号

GPIO 的模式信号分配:

表 35 GPIO 信号分配表

mode	1	2	3
GPIO[11]	Ch3_lna_ctrl[1]	Ch3_agc_gpio_out[2]	1'b0
GPIO[10]	Ch3_lna_ctrl[0]	Ch3_agc_gpio_out[1]	Ch1_lmt_pdt[2]
GPIO[9]	Ch2_lna_ctrl[1]	Ch3_agc_gpio_out[0]	Ch1_lmt_pdt[1]
GPIO[8]	Ch2_lna_ctrl[0]	Ch2_agc_gpio_out[2]	Ch1_lmt_pdt[0]
GPIO[7]	Ch1_lna_ctrl[1]	Ch2_agc_gpio_out[1]	Ch1_lna_pdt[1]
GPIO[6]	Ch1_lna_ctrl[0]	Ch2_agc_gpio_out[0]	Ch1_lna_pdt[0]
GPIO[5]	tdo_o	Ch1_agc_gpio_out[2]	Ch1_dig_pdt[5]
GPIO[4]	1'b0	Ch1_agc_gpio_out[1]	Ch1_dig_pdt[4]
GPIO[3]	tck_i	Ch1_agc_gpio_out[0]	Ch1_dig_pdt[3]
GPIO[2]	tms_i	alarm	Ch1_dig_pdt[2]
GPIO[1]	tdi_i	uart0_txd	Ch1_dig_pdt[1]
GPIO[0]	1'b0	uart0_rxd	Ch1_dig_pdt[0]
mode	4	5	6
GPIO[11]	1'b0	1'b0	1'b0
GPIO[10]	Ch2_lmt_pdt[2]	Ch3_lmt_pdt[2]	Ch3_lmt_pdt[2]
GPIO[9]	Ch2_lmt_pdt[1]	Ch3_lmt_pdt[1]	Ch3_lmt_pdt[1]
GPIO[8]	Ch2_lmt_pdt[0]	Ch3_lmt_pdt[0]	Ch3_lmt_pdt[0]
GPIO[7]	Ch2_lna_pdt[1]	Ch3_lna_pdt[1]	1'b0
GPIO[6]	Ch2_lna_pdt[0]	Ch3_lna_pdt[0]	Ch2_lmt_pdt[2]
GPIO[5]	Ch2_dig_pdt[5]	Ch3_dig_pdt[5]	Ch2_lmt_pdt[1]
GPIO[4]	Ch2_dig_pdt[4]	Ch3_dig_pdt[4]	Ch2_lmt_pdt[0]
GPIO[3]	Ch2_dig_pdt[3]	Ch3_dig_pdt[3]	1'b0
GPIO[2]	Ch2_dig_pdt[2]	Ch3_dig_pdt[2]	Ch1_lmt_pdt[2]
GPIO[1]	Ch2_dig_pdt[1]	Ch3_dig_pdt[1]	Ch1_lmt_pdt[1]
GPIO[0]	Ch2_dig_pdt[0]	Ch3_dig_pdt[0]	Ch1_lmt_pdt[0]
mode	7	8	9
GPIO[11]	Ch2_dig_pdt[5]	1'b0	1'b0
GPIO[10]	Ch2_dig_pdt[4]	Ch1_PLL1_lock	1'b0
GPIO[9]	Ch2_dig_pdt[3]	Ch1_PLL1_AFC_Err	Ch1_RX_FIR_ovfl_i
GPIO[8]	Ch2_dig_pdt[2]	Ch1_PLL2_lock	Ch1_RX_HB1_ovfl_i
GPIO[7]	Ch2_dig_pdt[1]	Ch1_PLL2_AFC_Err	Ch1_RX_HB2_ovfl_i
GPIO[6]	Ch2_dig_pdt[0]	1'b0	Ch1_RX_HB3_ovfl_i
GPIO[5]	Ch1_dig_pdt[5]	1'b0	Ch1_RX_CIC_ovfl_i
GPIO[4]	Ch1_dig_pdt[4]	1'b0	Ch1_RX_FIR_ovfl_q
GPIO[3]	Ch1_dig_pdt[3]	1'b0	Ch1_RX_HB1_ovfl_q
GPIO[2]	Ch1_dig_pdt[2]	1'b0	Ch1_RX_HB2_ovfl_q
GPIO[1]	Ch1_dig_pdt[1]		
GPIO[0]	Ch1_dig_pdt[0]		
mode	10	11	12
GPIO[11]	1'b0	1'b0	Ch2_IQ_clb_RX_rdy

GPIO[10]	Ch2_PLL1_lock	1'b0	Ch2_IQ_clb_TX_rdy
GPIO[9]	Ch2_PLL1_AFC_Err	Ch2_RX_FIR_ovfl_i	Ch2_RX_FIR_ovfl_i
GPIO[8]	Ch2_PLL2_lock	Ch2_RX_HB1_ovfl_i	Ch2_RX_HB1_ovfl_i
GPIO[7]	Ch2_PLL2_AFC_Err	Ch2_RX_HB2_ovfl_i	Ch2_RX_HB2_ovfl_i
GPIO[6]	1'b0	Ch2_RX_HB3_ovfl_i	Ch2_RX_HB3_ovfl_i
GPIO[5]	1'b0	Ch2_RX_CIC_ovfl_i	Ch2_RX_CIC_ovfl_i
GPIO[4]	1'b0	Ch2_RX_FIR_ovfl_q	Ch2_RX_FIR_ovfl_q
GPIO[3]	1'b0	Ch2_RX_HB1_ovfl_q	Ch2_RX_HB1_ovfl_q
GPIO[2]	1'b0	Ch2_RX_HB2_ovfl_q	Ch2_RX_HB2_ovfl_q
GPIO[1]	1'b0	Ch2_RX_HB3_ovfl_q	Ch2_RX_HB3_ovfl_q
GPIO[0]	1'b0	Ch2_RX_CIC_ovfl_q	Ch2_RX_CIC_ovfl_q
mode	13	14	15
GPIO[11]	1'b0	1'b0	Ch3_lna_lock
GPIO[10]	Ch3_PLL5_lock	1'b0	Ch3_lna_error
GPIO[9]	Ch3_PLL5_AFC_Err	Ch3_RX_FIR_ovfl_i	Ch3_mix_lock
GPIO[8]	1'b0	Ch3_RX_HB1_ovfl_i	Ch3_mix_error
GPIO[7]	1'b0	Ch3_RX_HB2_ovfl_i	Ch2_lna_lock
GPIO[6]	1'b0	Ch3_RX_HB3_ovfl_i	Ch2_lna_error
GPIO[5]	1'b0	Ch3_RX_CIC_ovfl_i	Ch2_mix_lock
GPIO[4]	1'b0	Ch3_RX_FIR_ovfl_q	Ch2_mix_error
GPIO[3]	1'b0	Ch3_RX_HB1_ovfl_q	Ch1_lna_lock
GPIO[2]	1'b0	Ch3_RX_HB2_ovfl_q	Ch1_lna_error
GPIO[1]	1'b0	Ch3_RX_HB3_ovfl_q	Ch1_mix_lock
GPIO[0]	1'b0	Ch3_RX_CIC_ovfl_q	Ch1_mix_error

辅助转换器

AUXADC

CX9261A/CX9261AN 通道 1 和通道 2 内部各内置有一个辅助 ADC，该辅助 ADC 数据位宽为 10 位，支持直流输入电压范围为 0.1V 至 1V，该 AUXADC 模块的采样时钟为 CX9261A/CX9261AN 的参考时钟直连，采样频率与参考时钟一致。AUXADC 可以把片内温度传感器输入的模拟量转换成数字量，监测 CX9261A/CX9261AN 内部工作温度。同时辅助 ADC 模块也可用于监控外部功率放大器等外部器件的直流电压输出，将电压转换为数字值，实现 RSSI 检测。

通过 SPI 的写操作，可以提供更改辅助 ADC 分频比的功能。温度传感器和辅助 ADC 之间存在增益模块，用于对温度传感器的输出进行放大和摆幅限制，用户可通过 SPI 控制增益模块的工作状态、放大倍数和输出范围。

AUXDAC

CX9261A/CX9261AN 的通道 2 内置有一个辅助 DAC，用于调整外部晶振频率。辅助 DAC 为 14 位宽，输出电压范围为 0.261V 至 2.261V。用户可通过 SPI 更改辅助 DAC 工作状态以及向辅助 DAC 写入数字码。其中辅助 DAC 的采样时钟频率为 CX9261A 外部输入的参考时钟频率，通过 SPI 输入的 DAC 数字码锁存时钟为 BBPLL 生成的系统时钟 Sys_clk，辅助 DAC 工作时，通道 2 的 BBPLL 必须处于工作状态。

供电电压

CX9261A/CX9261AN 的模拟电源供电（1.3V，2.5V），数字电源（1.8~3.3V 可配），芯片的数字 IO 输入输出电压由芯片 DVDD25 管脚的输入电压决定。

典型应用电路示例

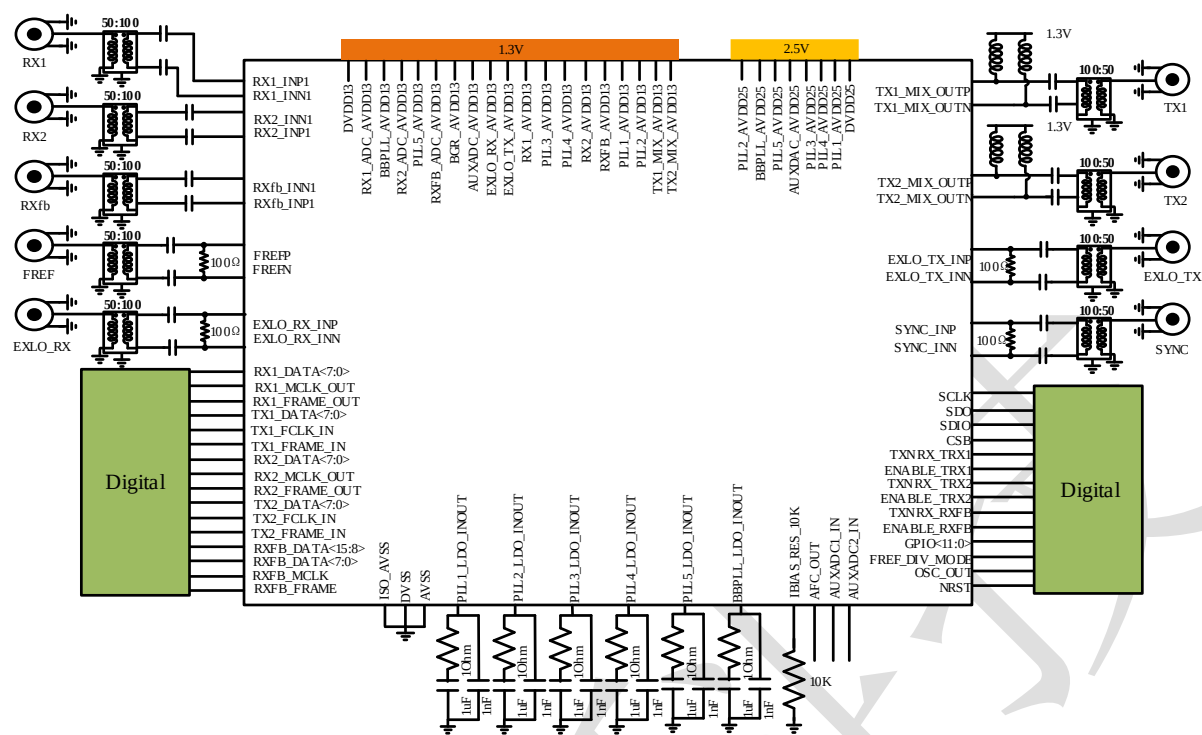


图 71 典型应用电路图

封装尺寸图

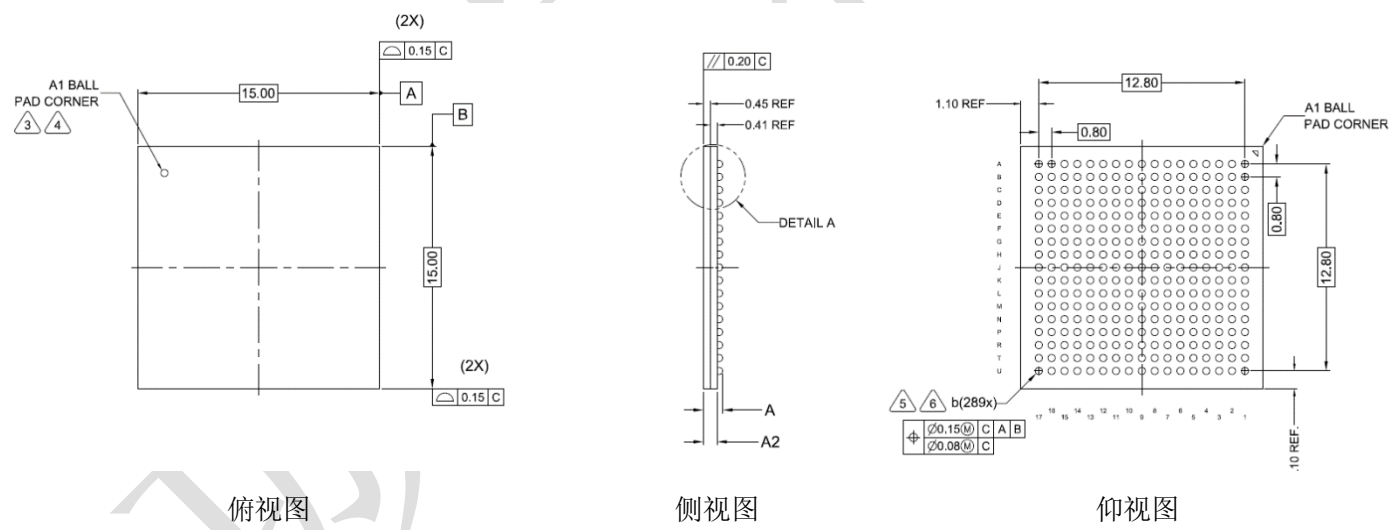


图 72 封装尺寸图 1

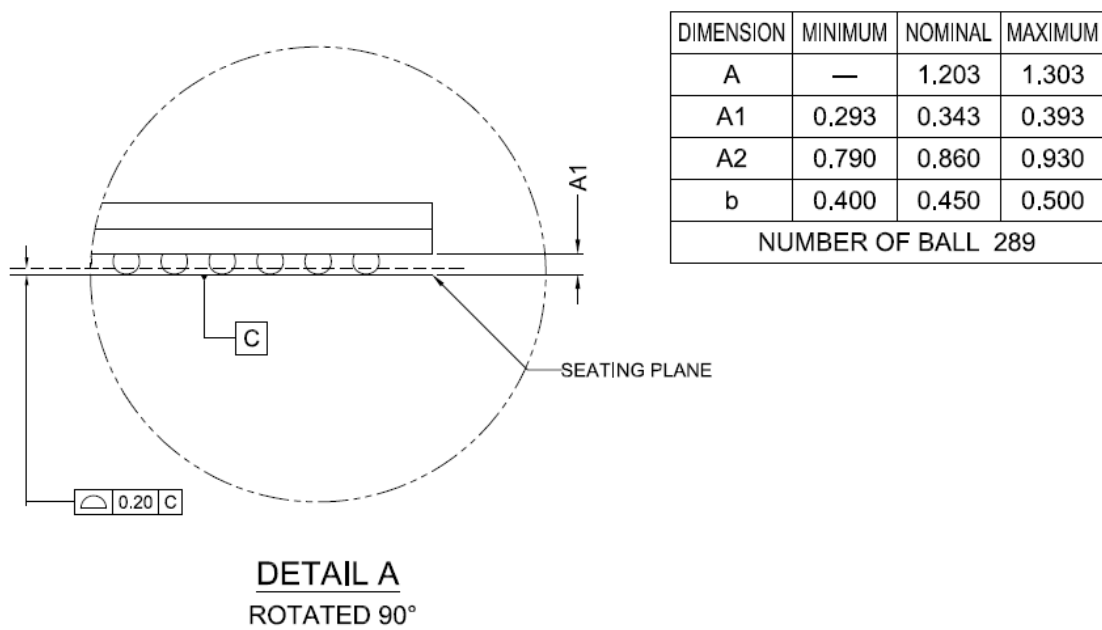


图 73 封装尺寸图 2