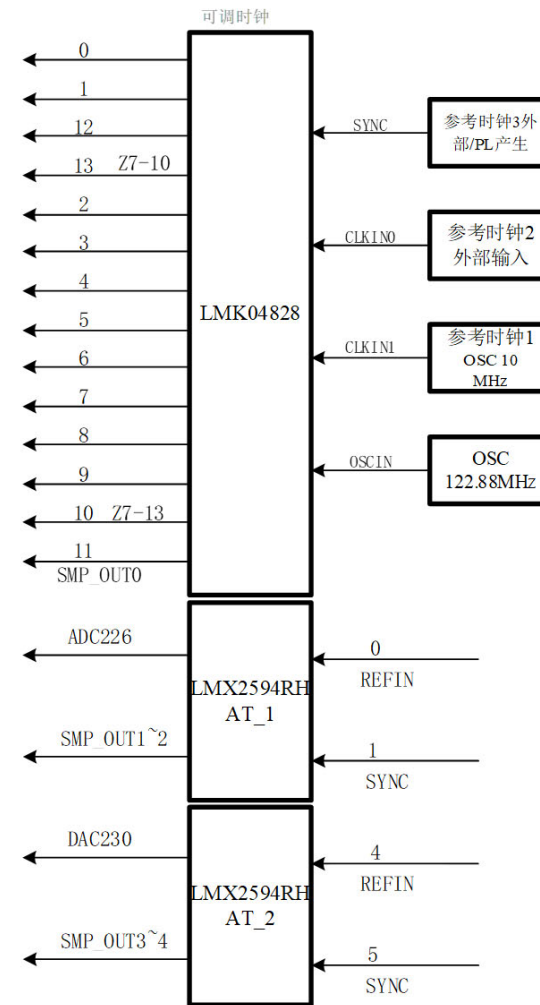
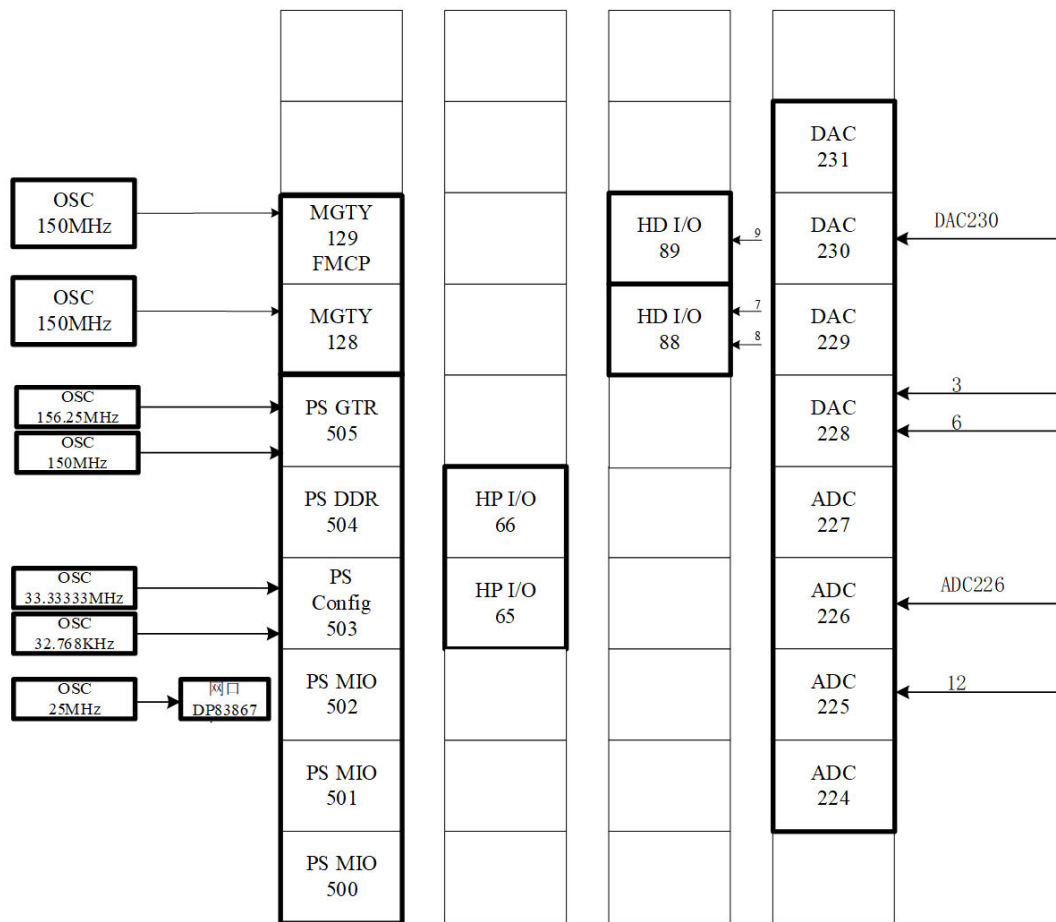
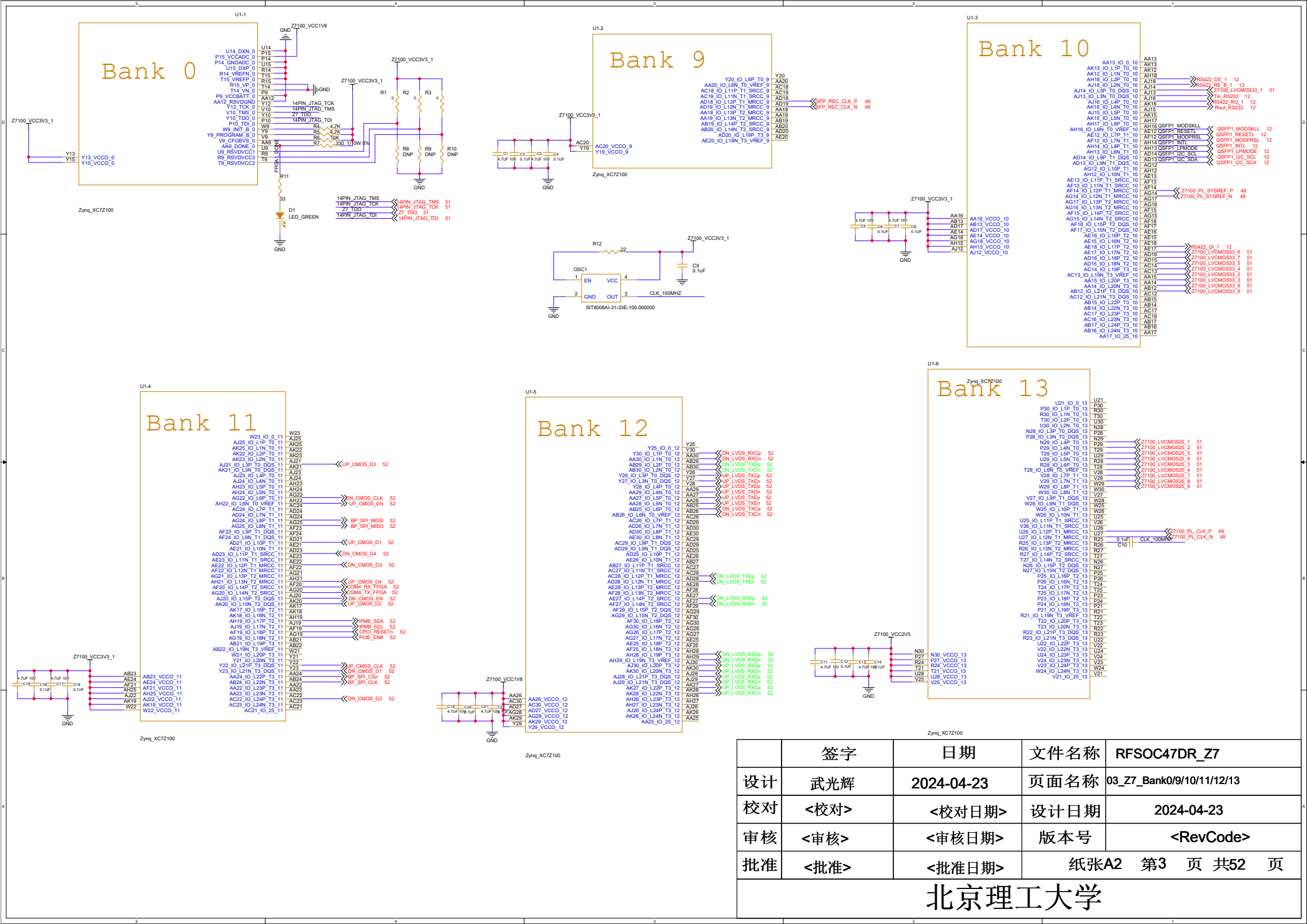


	签字	日期	文件名称	RFSOC47DR_Z7
设计	武光辉	2024-04-23	页面名称	01
校对	<校对>	<校对日期>	设计日期	2024-04-23
审核	<审核>	<审核日期>	版本号	<RevCode>
批准	<批准>	<批准日期>	纸张A2 第1 页 共52 页	
北京理工大学				

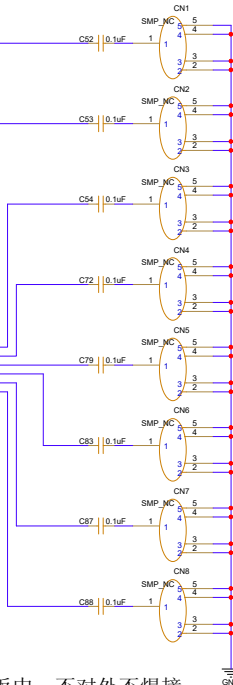
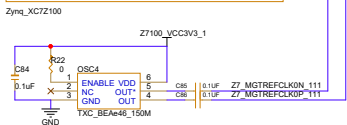
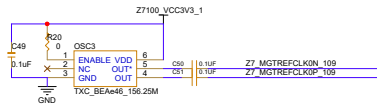


	签字	日期	文件名称	RFSOC47DR_Z7
设计	武光辉	2024-04-23	页面名称	02_CLK_Block_diagram
校对	<校对>	<校对日期>	设计日期	2024-04-23
审核	<审核>	<审核日期>	版本号	<RevCode>
批准	<批准>	<批准日期>	纸张A2 第2 页 共52 页	
北京理工大学				



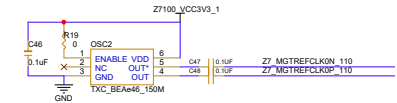
	签字	日期	文件名称	RFSOC47DR_Z7
设计	武光辉	2024-04-23	页面名称	03_Z7_Bank0/9/10/11/12/13
校对	<校对>	<校对日期>	设计日期	2024-04-23
审核	<审核>	<审核日期>	版本号	<RevCode>
批准	<批准>	<批准日期>	纸张A2 第3 页 共52 页	

北京理工大学



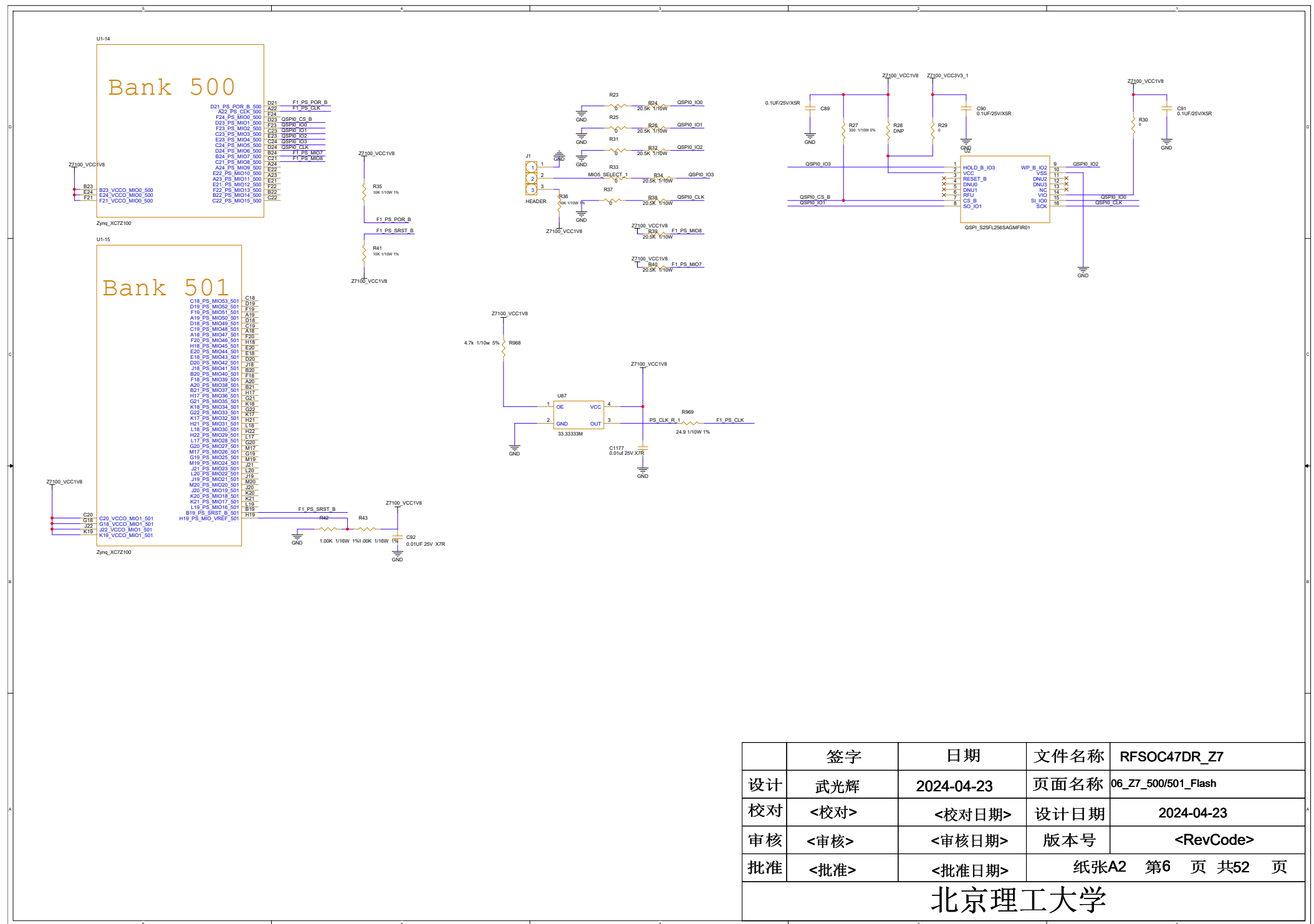
Bank 110

A00_M0TXKPXP1_110	A00	C08	0.10P	07_P4H6_47RX_Z7TX_P3	16
A01_M0TXKPXP1_110	A01	C09	0.10P	07_P4H6_47TX_Z7RX_P3	16
A02_M0TXKPXP1_110	A02	C08	0.10P	07_P4H6_47TX_Z7RX_N3	16
A03_M0TXKPXP1_110	A03	C09	0.10P	07_P4H6_47TX_Z7RX_N3	16
A04_M0TXKPXP1_110	A04	C08	0.10P	07_P4H6_47TX_Z7RX_P0	16
A05_M0TXKPXP1_110	A05	C09	0.10P	07_P4H6_47TX_Z7RX_P0	16
A06_M0TXKPXP1_110	A06	C08	0.10P	07_P4H6_47TX_Z7RX_N2	16
A07_M0TXKPXP1_110	A07	C09	0.10P	07_P4H6_47TX_Z7RX_N2	16
A08_M0TXKPXP1_110	A08	C08	0.10P	07_P4H6_47TX_Z7RX_P1	16
A09_M0TXKPXP1_110	A09	C09	0.10P	07_P4H6_47TX_Z7RX_P1	16
A0A_M0TXKPXP1_110	A0A	C08	0.10P	07_P4H6_47TX_Z7RX_N1	16
A0B_M0TXKPXP1_110	A0B	C09	0.10P	07_P4H6_47TX_Z7RX_N1	16
A0C_M0TXKPXP1_110	A0C	C08	0.10P	07_P4H6_47TX_Z7RX_P2	16
A0D_M0TXKPXP1_110	A0D	C09	0.10P	07_P4H6_47TX_Z7RX_P2	16
A0E_M0TXKPXP1_110	A0E	C08	0.10P	07_P4H6_47TX_Z7RX_N0	16
A0F_M0TXKPXP1_110	A0F	C09	0.10P	07_P4H6_47TX_Z7RX_N0	16
A10_M0TXKPXP1_110	A10	C08	0.10P	07_P4H6_47TX_Z7RX_P1	16
A11_M0TXKPXP1_110	A11	C09	0.10P	07_P4H6_47TX_Z7RX_P1	16
A12_M0TXKPXP1_110	A12	C08	0.10P	07_P4H6_47TX_Z7RX_N1	16
A13_M0TXKPXP1_110	A13	C09	0.10P	07_P4H6_47TX_Z7RX_N1	16
A14_M0TXKPXP1_110	A14	C08	0.10P	07_P4H6_47TX_Z7RX_P0	16
A15_M0TXKPXP1_110	A15	C09	0.10P	07_P4H6_47TX_Z7RX_P0	16
A16_M0TXKPXP1_110	A16	C08	0.10P	07_P4H6_47TX_Z7RX_N2	16
A17_M0TXKPXP1_110	A17	C09	0.10P	07_P4H6_47TX_Z7RX_N2	16
A18_M0TXKPXP1_110	A18	C08	0.10P	07_P4H6_47TX_Z7RX_P1	16
A19_M0TXKPXP1_110	A19	C09	0.10P	07_P4H6_47TX_Z7RX_P1	16
A1A_M0TXKPXP1_110	A1A	C08	0.10P	07_P4H6_47TX_Z7RX_N1	16
A1B_M0TXKPXP1_110	A1B	C09	0.10P	07_P4H6_47TX_Z7RX_N1	16
A1C_M0TXKPXP1_110	A1C	C08	0.10P	07_P4H6_47TX_Z7RX_P2	16
A1D_M0TXKPXP1_110	A1D	C09	0.10P	07_P4H6_47TX_Z7RX_P2	16
A1E_M0TXKPXP1_110	A1E	C08	0.10P	07_P4H6_47TX_Z7RX_N0	16
A1F_M0TXKPXP1_110	A1F	C09	0.10P	07_P4H6_47TX_Z7RX_N0	16
A20_M0TXKPXP1_110	A20	C08	0.10P	07_P4H6_47TX_Z7RX_P1	16
A21_M0TXKPXP1_110	A21	C09	0.10P	07_P4H6_47TX_Z7RX_P1	16
A22_M0TXKPXP1_110	A22	C08	0.10P	07_P4H6_47TX_Z7RX_N1	16
A23_M0TXKPXP1_110	A23	C09	0.10P	07_P4H6_47TX_Z7RX_N1	16
A24_M0TXKPXP1_110	A24	C08	0.10P	07_P4H6_47TX_Z7RX_P0	16
A25_M0TXKPXP1_110	A25	C09	0.10P	07_P4H6_47TX_Z7RX_P0	16
A26_M0TXKPXP1_110	A26	C08	0.10P	07_P4H6_47TX_Z7RX_N2	16
A27_M0TXKPXP1_110	A27	C09	0.10P	07_P4H6_47TX_Z7RX_N2	16
A28_M0TXKPXP1_110	A28	C08	0.10P	07_P4H6_47TX_Z7RX_P1	16
A29_M0TXKPXP1_110	A29	C09	0.10P	07_P4H6_47TX_Z7RX_P1	16
A2A_M0TXKPXP1_110	A2A	C08	0.10P	07_P4H6_47TX_Z7RX_N1	16
A2B_M0TXKPXP1_110	A2B	C09	0.10P	07_P4H6_47TX_Z7RX_N1	16
A2C_M0TXKPXP1_110	A2C	C08	0.10P	07_P4H6_47TX_Z7RX_P2	16
A2D_M0TXKPXP1_110	A2D	C09	0.10P	07_P4H6_47TX_Z7RX_P2	16
A2E_M0TXKPXP1_110	A2E	C08	0.10P	07_P4H6_47TX_Z7RX_N0	16
A2F_M0TXKPXP1_110	A2F	C09	0.10P	07_P4H6_47TX_Z7RX_N0	16
A30_M0TXKPXP1_110	A30	C08	0.10P	07_P4H6_47TX_Z7RX_P1	16
A31_M0TXKPXP1_110					



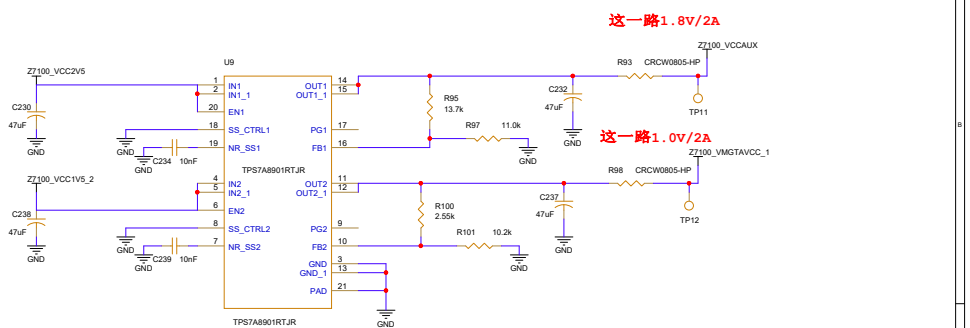
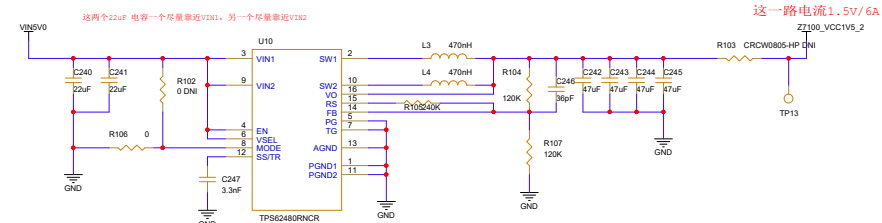
	签字	日期	文件名称	RFSOC47DR_Z7
设计	武光辉	2024-04-23	页面名称	05_Z7_GTX109~112
校对	<校对>	<校对日期>	设计日期	2024-04-23
审核	<审核>	<审核日期>	版本号	<RevCode>
批准	<批准>	<批准日期>	纸张A2 第5 页 共52 页	

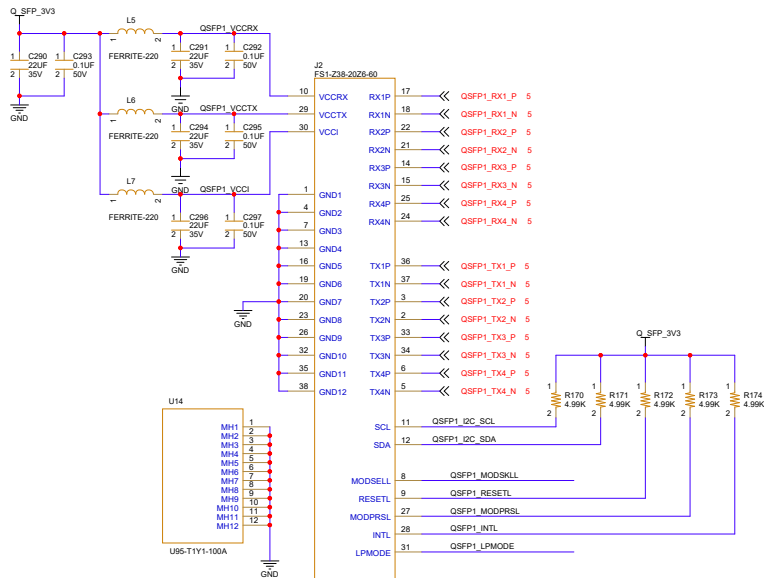
北京理工大学



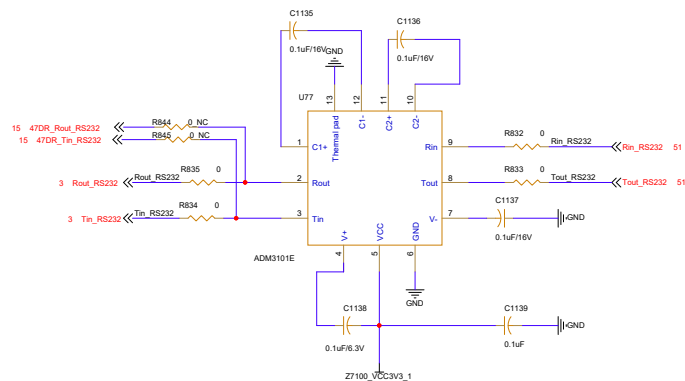
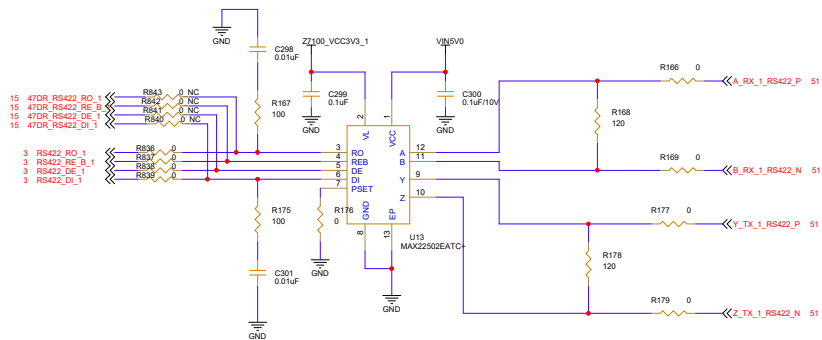
U1-16

北京理工大学

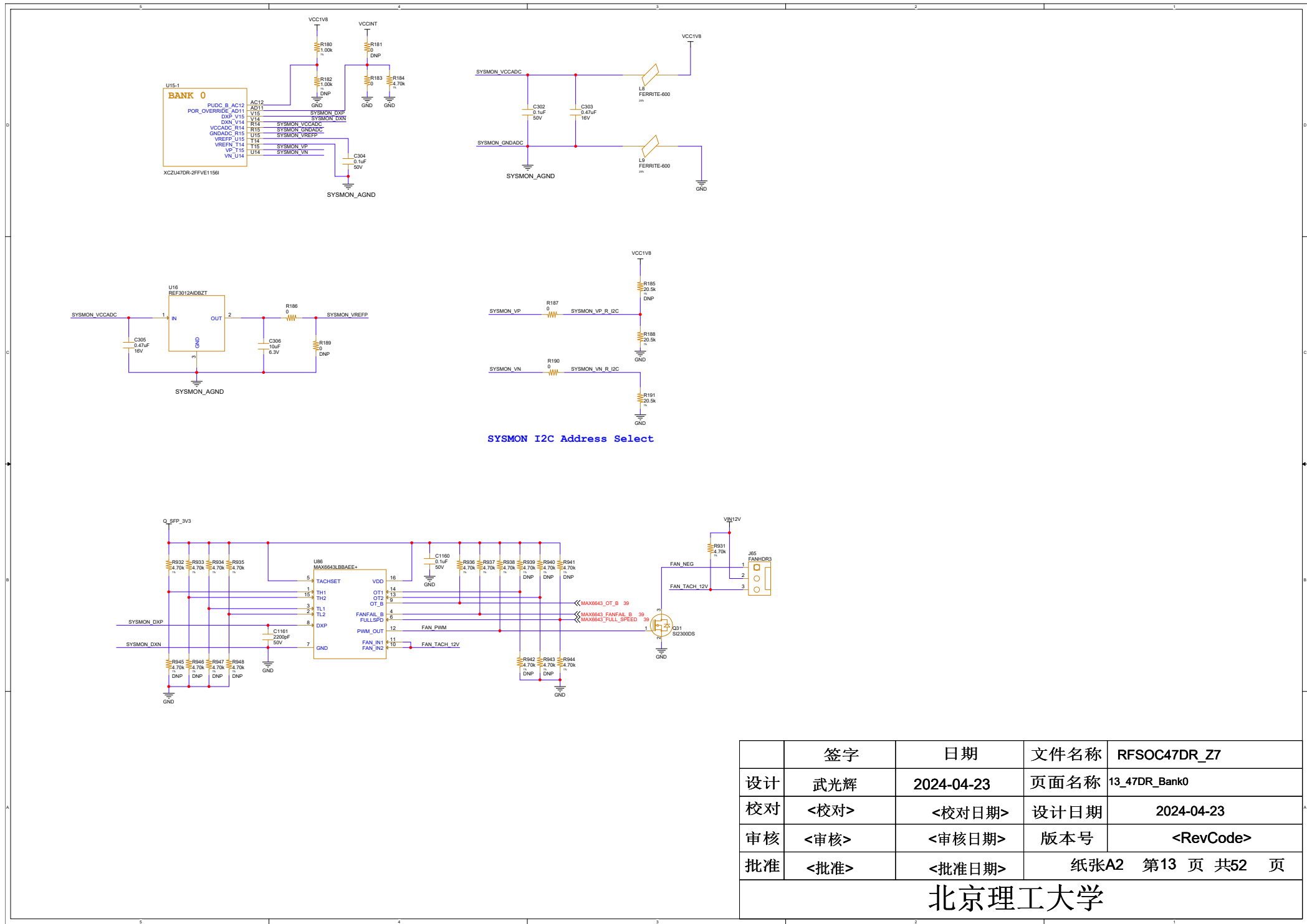
北京理工大学



3 QSPI1_MODSKL << QSPI1_MODSKL
3 QSPI1_RESETL << QSPI1_RESETL
3 QSPI1_MODPRSL << QSPI1_MODPRSL
3 QSPI1_INTL << QSPI1_INTL
3 QSPI1_LPMODE << QSPI1_LPMODE
3 QSPI1_I2C_SCL << QSPI1_I2C_SCL
3 QSPI1_I2C_SDA << QSPI1_I2C_SDA

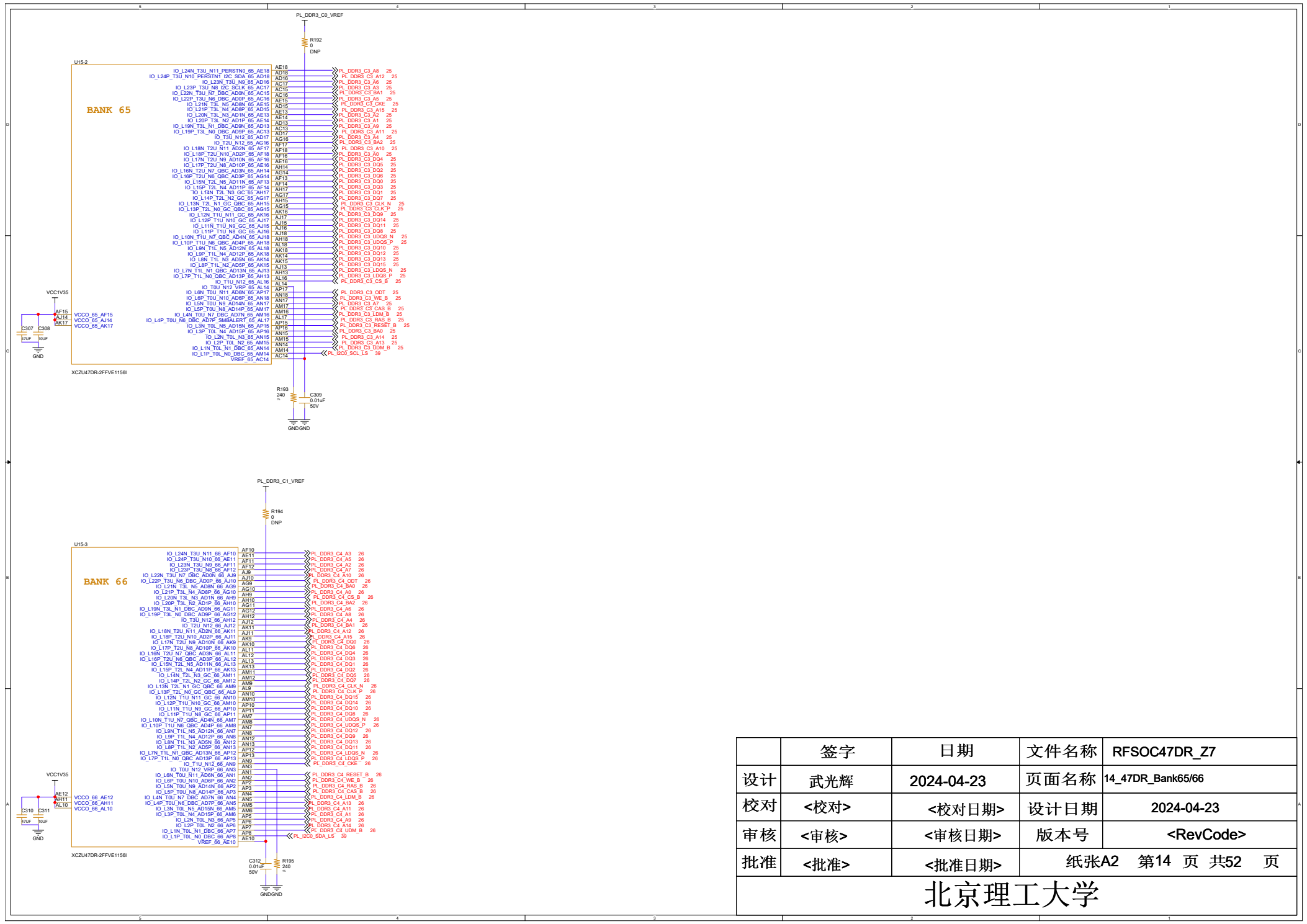


	签字	日期	文件名称	RFSOC47DR_Z7
设计	武光辉	2024-04-23	页面名称	12_Z7_QSFP/422/232
校对	<校对>	<校对日期>	设计日期	2024-04-23
审核	<审核>	<审核日期>	版本号	<RevCode>
批准	<批准>	<批准日期>	纸张A2 第12 页 共52 页	
北京理工大学				



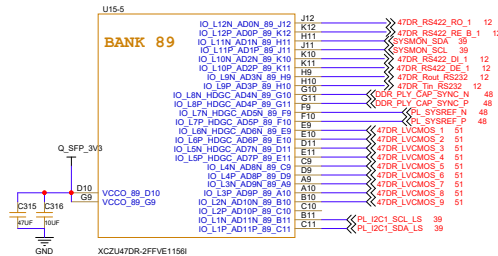
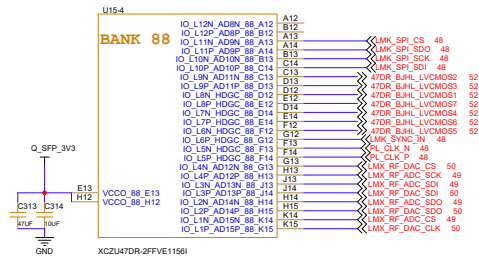
	签字	日期	文件名称	RFSOC47DR_Z7
设计	武光辉	2024-04-23	页面名称	13_47DR_Bank0
校对	<校对>	<校对日期>	设计日期	2024-04-23
审核	<审核>	<审核日期>	版本号	<RevCode>
批准	<批准>	<批准日期>	纸张A2 第13 页 共52 页	

北京理工大学



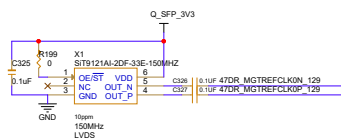
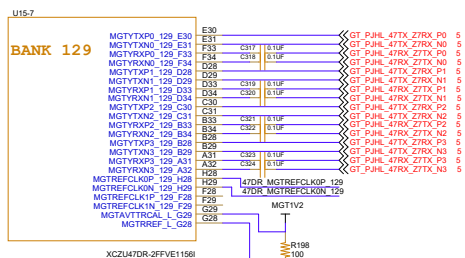
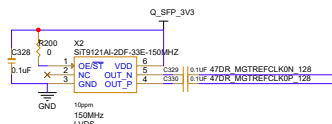
	签字	日期	文件名称	RFSOC47DR_Z7
设计	武光辉	2024-04-23	页面名称	14_47DR_Bank65/66
校对	<校对>	<校对日期>	设计日期	2024-04-23
审核	<审核>	<审核日期>	版本号	<RevCode>
批准	<批准>	<批准日期>	纸张A2	第14 页 共52 页

北京理工大学



	签字	日期	文件名称	RFSOC47DR_Z7
设计	武光辉	2024-04-23	页面名称	15_47DR_Bank88/89
校对	<校对>	<校对日期>	设计日期	2024-04-23
审核	<审核>	<审核日期>	版本号	<RevCode>
批准	<批准>	<批准日期>	纸张A2 第15 页 共52 页	

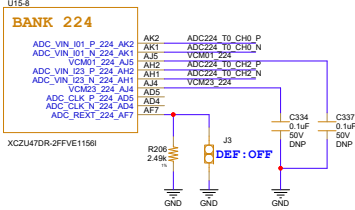
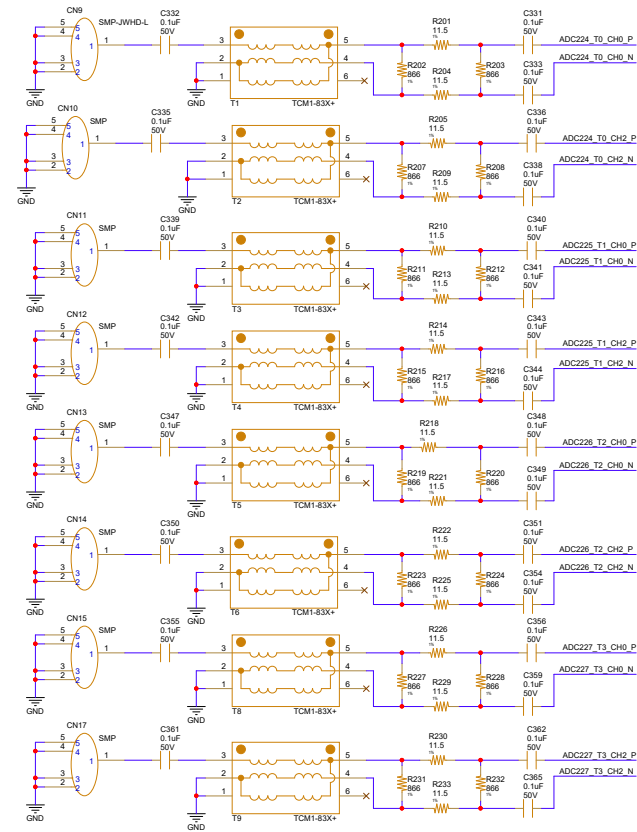
北京理工大学



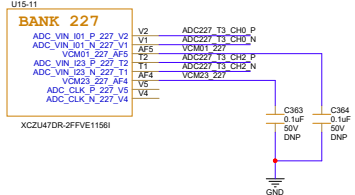
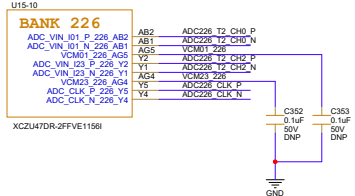
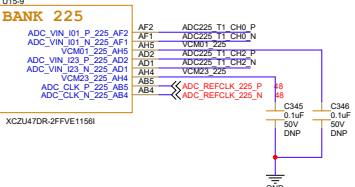
	签字	日期	文件名称	RFSOC47DR_Z7
设计	武光辉	2024-04-23	页面名称	16_47DR_Bank128/129
校对	<校对>	<校对日期>	设计日期	2024-04-23
审核	<审核>	<审核日期>	版本号	<RevCode>
批准	<批准>	<批准日期>	纸张A2 第16 页 共52 页	
北京理工大学				

Layout (RF Signals):

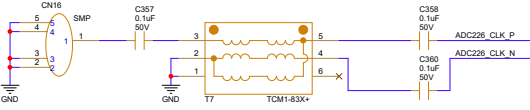
- 1)Add ground stitching around groups of RF signals to 158 mil (4.0 mm) pitch. (UG583 vl.21 P165)
- 2)The RF signal chain for each DAC and ADC, which consists of differential DC blocks, differential Pi attenuators, baluns, and filters, fits well on a 4 mm pitch including the RF shields which cover the RF signal chain components. The RF shield should be electrically attached to ground vias in the PCB at 3 ± 1 mm spacing (same spacing as the guard stitching vias for signal traces). (UG583 vl.21 PP166-167)
- 3)Guard trace width should be 3.25H. (UG583 vl.21 P169)
- 4)Gap between P and N traces should be 2.5H. (UG583 vl.21 P169)



Layout (Calibration Res):
2.49k ohm resistor should be placed as close to the RFSoc pin as possible. (UG583 vl.21 P182)



ADC226 CLK_P << ADC226_CLK_P 49
ADC226 CLK_N << ADC226_CLK_N 49



	签字	日期	文件名称	RFSOC47DR_Z7
设计	武光辉	2024-04-23	页面名称	17_47DR_Bank_ADC
校对	<校对>	<校对日期>	设计日期	2024-04-23
审核	<审核>	<审核日期>	版本号	<RevCode>
批准	<批准>	<批准日期>	纸张A2 第17 页 共52 页	

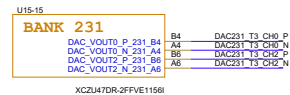
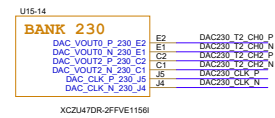
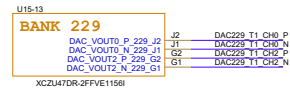
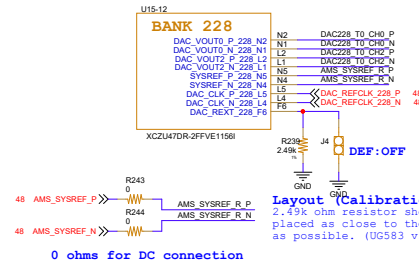
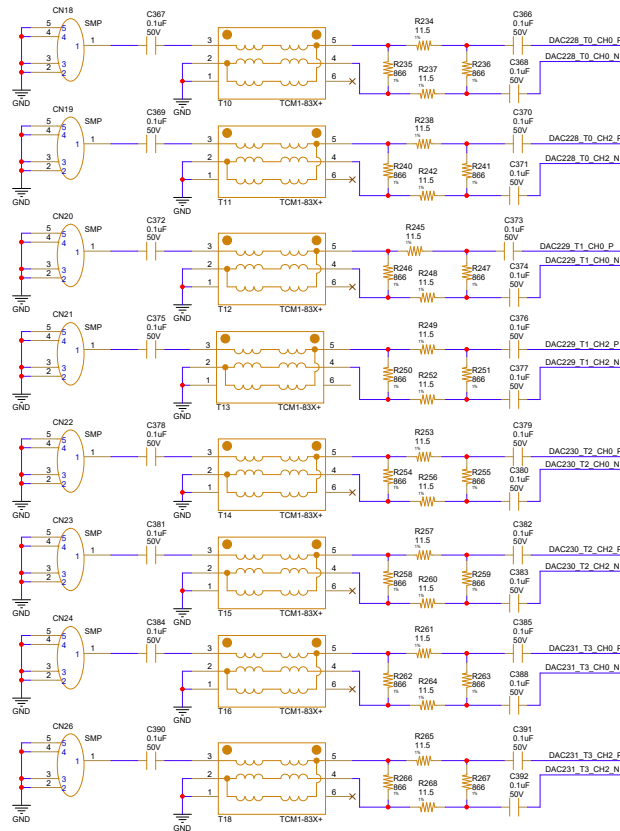
Layout (RF Signals):

1) Add ground stitching around groups of RF signals to 158 mil (4.0 mm) pitch. (UG583 v1.21 P165)

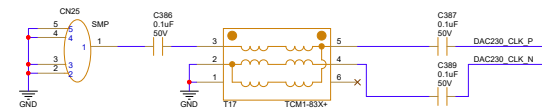
2) The RF signal chain for each DAC and ADC, which consists of differential DC blocks, differential Pi attenuators, baluns, and filters, fits well on a 4 mm pitch including the RF shields which cover the RF signal chain components. The RF shield should be electrically attached to ground vias in the PCB at 3 ± 1 mm spacing (same spacing as the guard stitching vias for signal traces). (UG583 v1.21 PPI66-167)

3) Guard trace width should be $3.25H$. (UG583 v1.21 P169)

4) Gap between P and N traces should be 2.5H. (UG583 v1.21 P169)

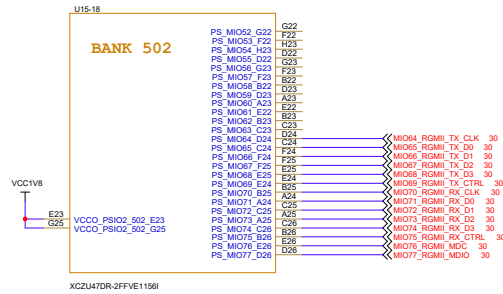
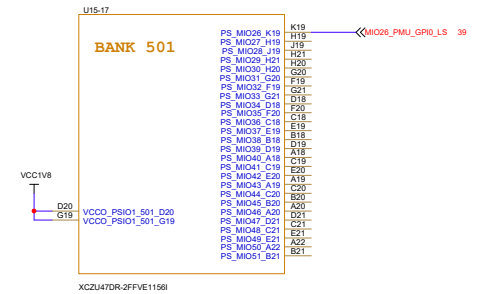
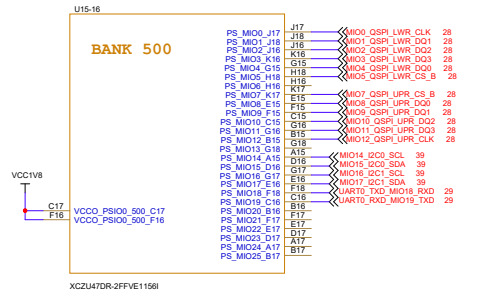


Layout (Calibration Res):
2.49k ohm resistor should be placed as close to the RFSoc pin as possible. (UG583 vl.21 P182)



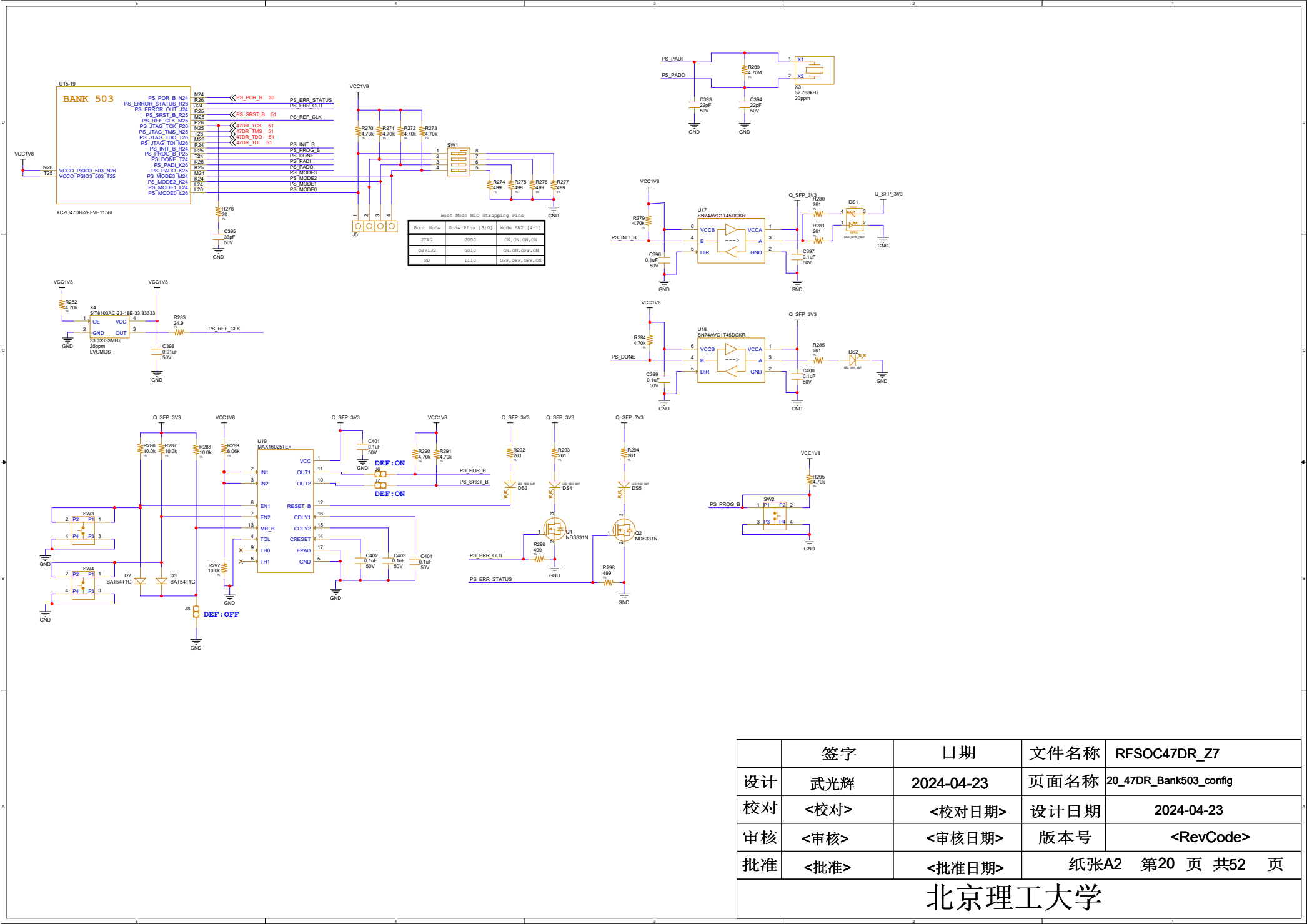
	签字	日期	文件名称	RFSOC47DR_Z7
设计	武光辉	2024-04-23	页面名称	18_47DR_Bank_DAC
校对	<校对>	<校对日期>	设计日期	2024-04-23
审核	<审核>	<审核日期>	版本号	<RevCode>
批准	<批准>	<批准日期>	纸张A2 第18 页 共52 页	

北京理工大学



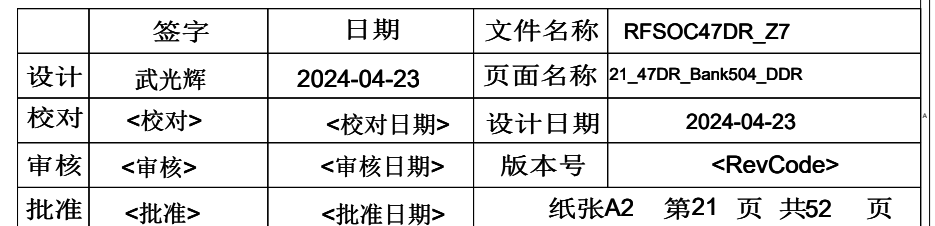
	签字	日期	文件名称	RFSOC47DR_Z7
设计	武光辉	2024-04-23	页面名称	19_47DR_Bank500/501/502
校对	<校对>	<校对日期>	设计日期	2024-04-23
审核	<审核>	<审核日期>	版本号	<RevCode>
批准	<批准>	<批准日期>	纸张A2 第19 页 共52 页	

北京理工大学



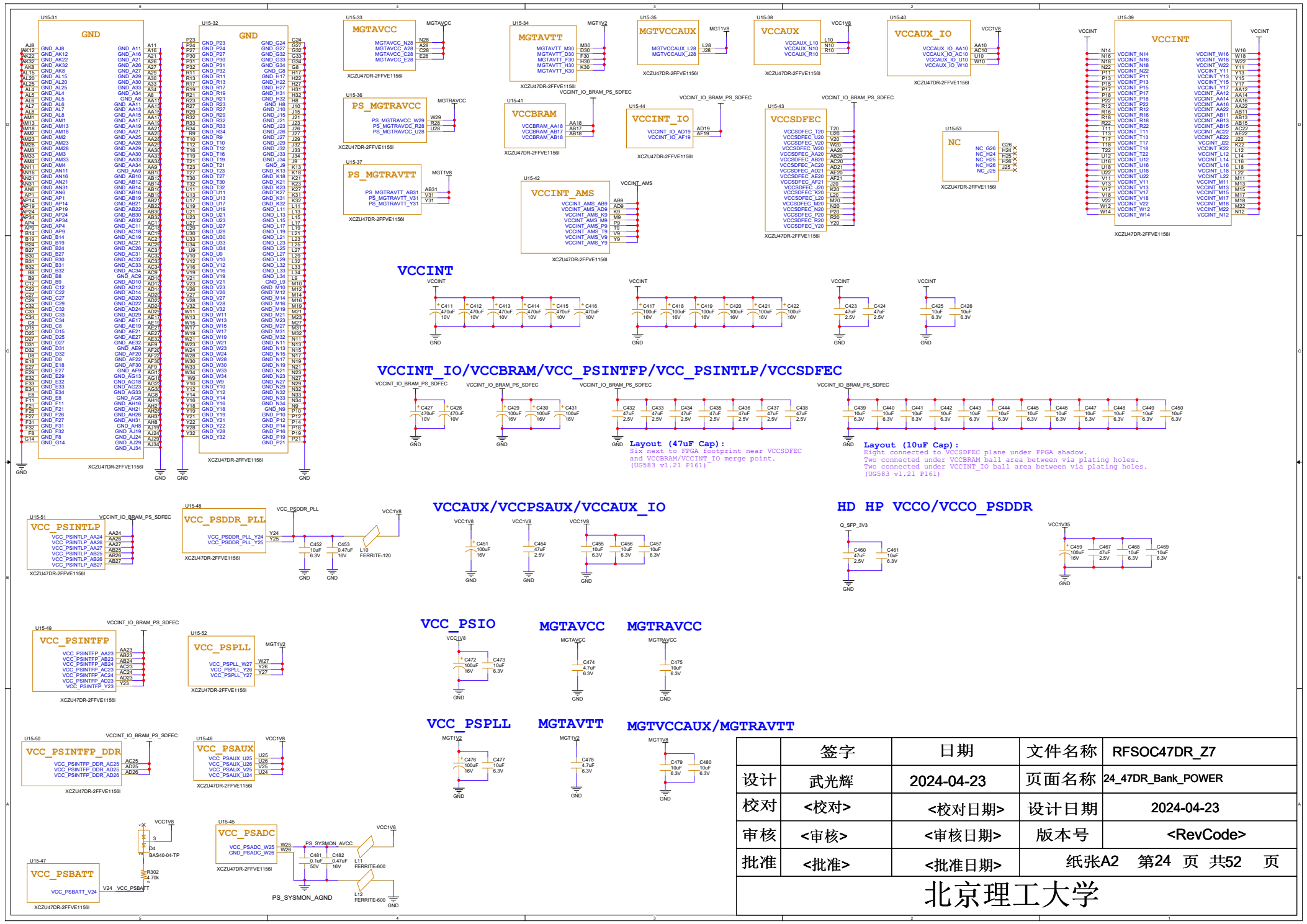
	签字	日期	文件名称	RFSOC47DR_Z7
设计	武光辉	2024-04-23	页面名称	20_47DR_Bank503_config
校对	<校对>	<校对日期>	设计日期	2024-04-23
审核	<审核>	<审核日期>	版本号	<RevCode>
批准	<批准>	<批准日期>	纸张A2 第20 页 共52 页	

北京理工大学



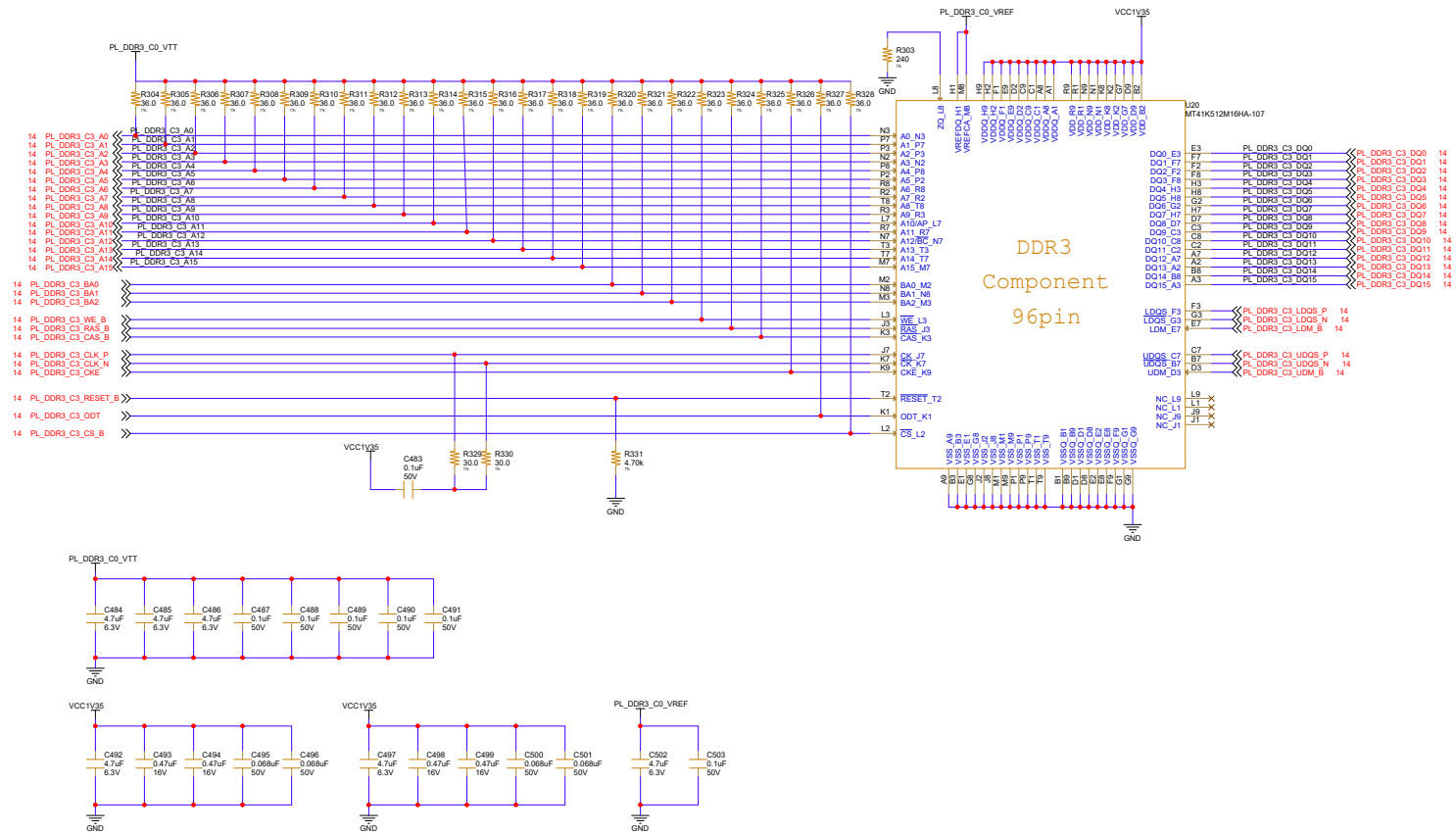
北京理工大学

北京理工大学

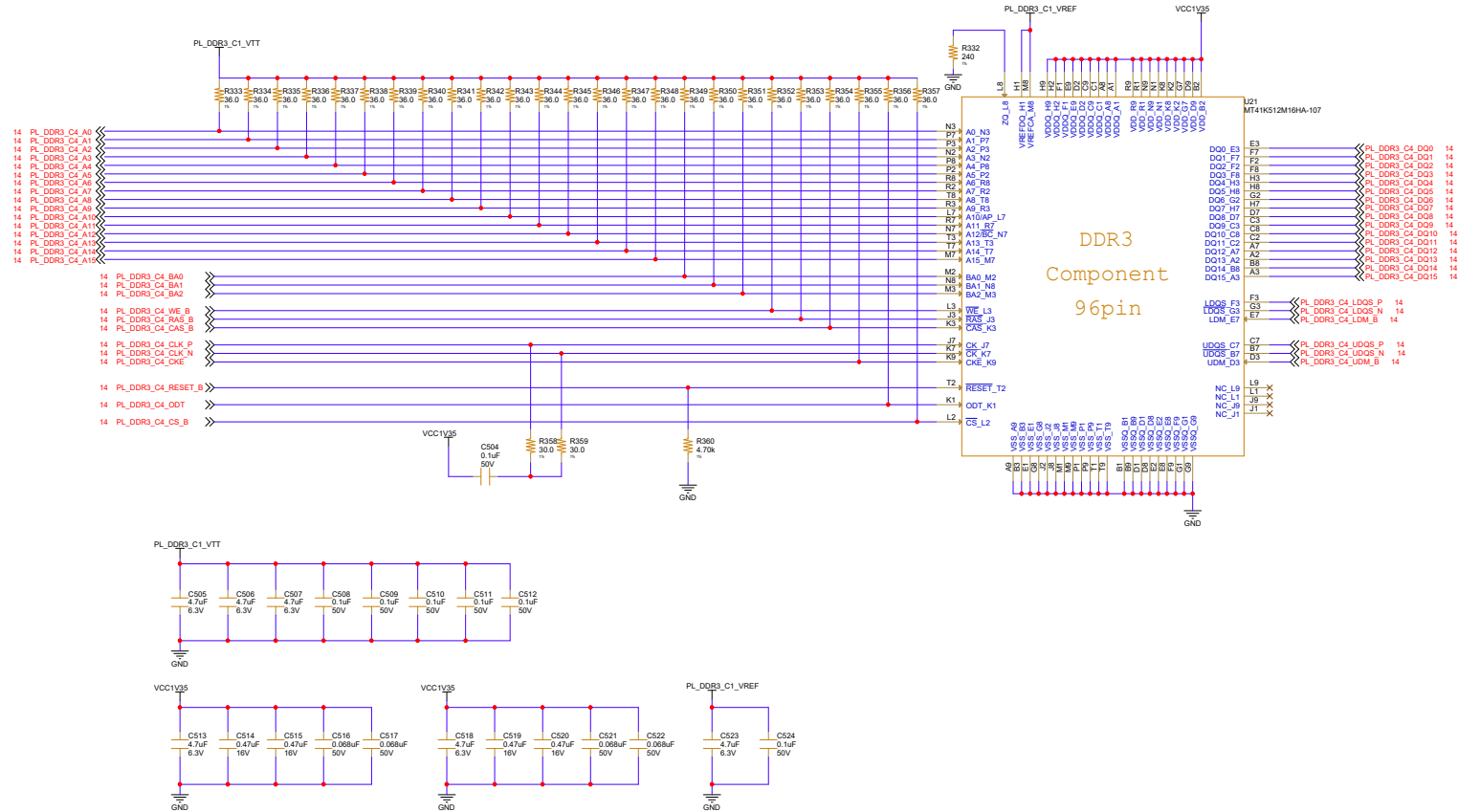


	签字	日期	文件名称	RFSOC47DR_Z7
设计	武光辉	2024-04-23	页面名称	24_47DR_Bank_POWER
校对	<校对>	<校对日期>	设计日期	2024-04-23
审核	<审核>	<审核日期>	版本号	<RevCode>
批准	<批准>	<批准日期>	纸张A2 第24 页 共52 页	

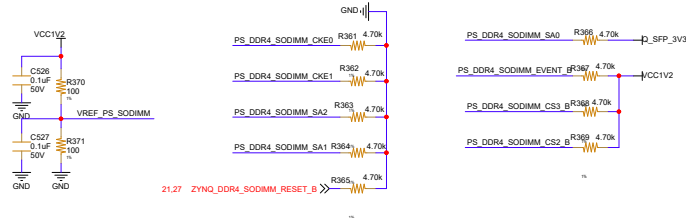
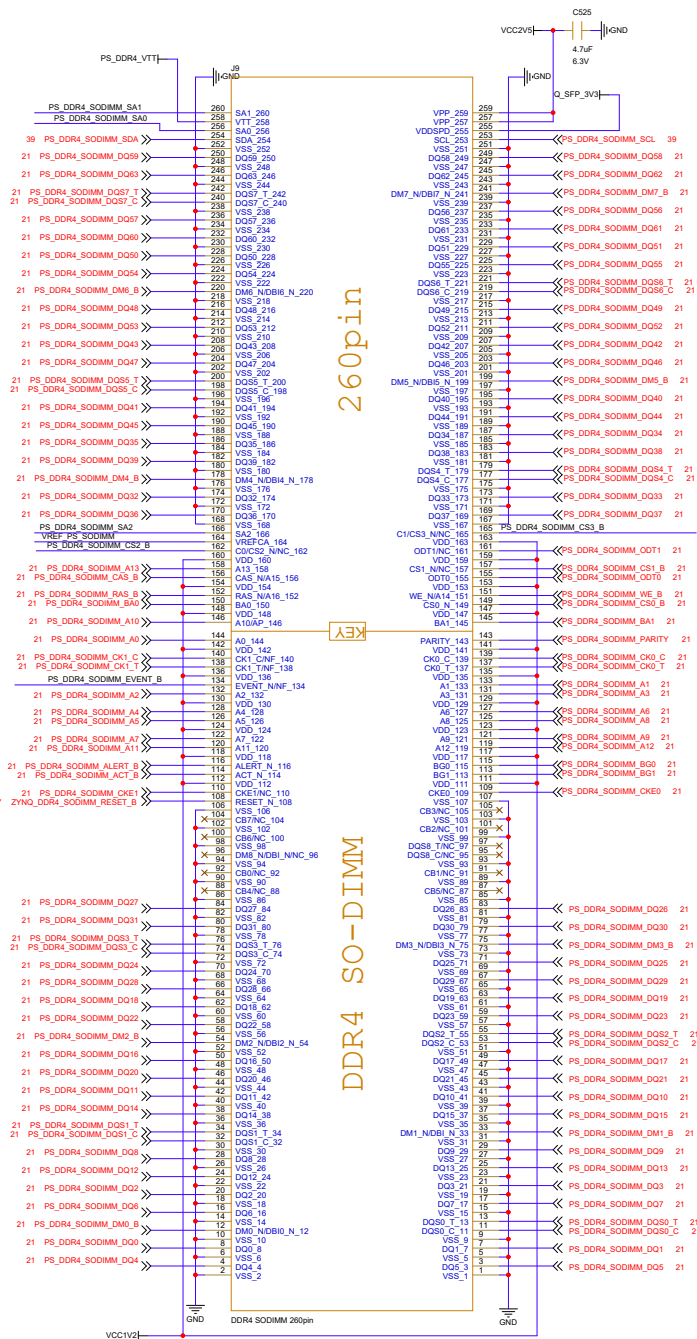
北京理工大学



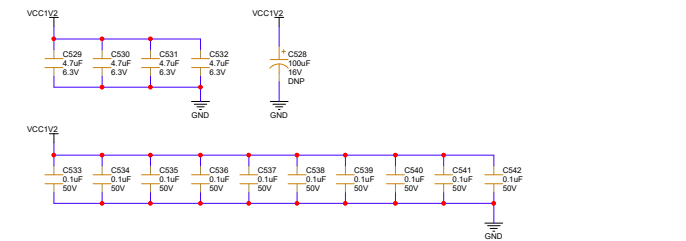
	签字	日期	文件名称	RFSOC47DR_Z7
设计	武光辉	2024-04-23	页面名称	25_47DR_DDR3_C0
校对	<校对>	<校对日期>	设计日期	2024-04-23
审核	<审核>	<审核日期>	版本号	<RevCode>
批准	<批准>	<批准日期>	纸张A2 第25 页 共52 页	
北京理工大学				



	签字	日期	文件名称	RFSOC47DR_Z7
设计	武光辉	2024-04-23	页面名称	26_47DR_DDR3_C1
校对	<校对>	<校对日期>	设计日期	2024-04-23
审核	<审核>	<审核日期>	版本号	<RevCode>
批准	<批准>	<批准日期>	纸张A2 第26 页 共52 页	
北京理工大学				

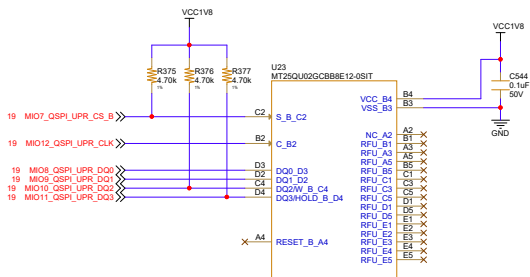


PS SODIMM Decoupling

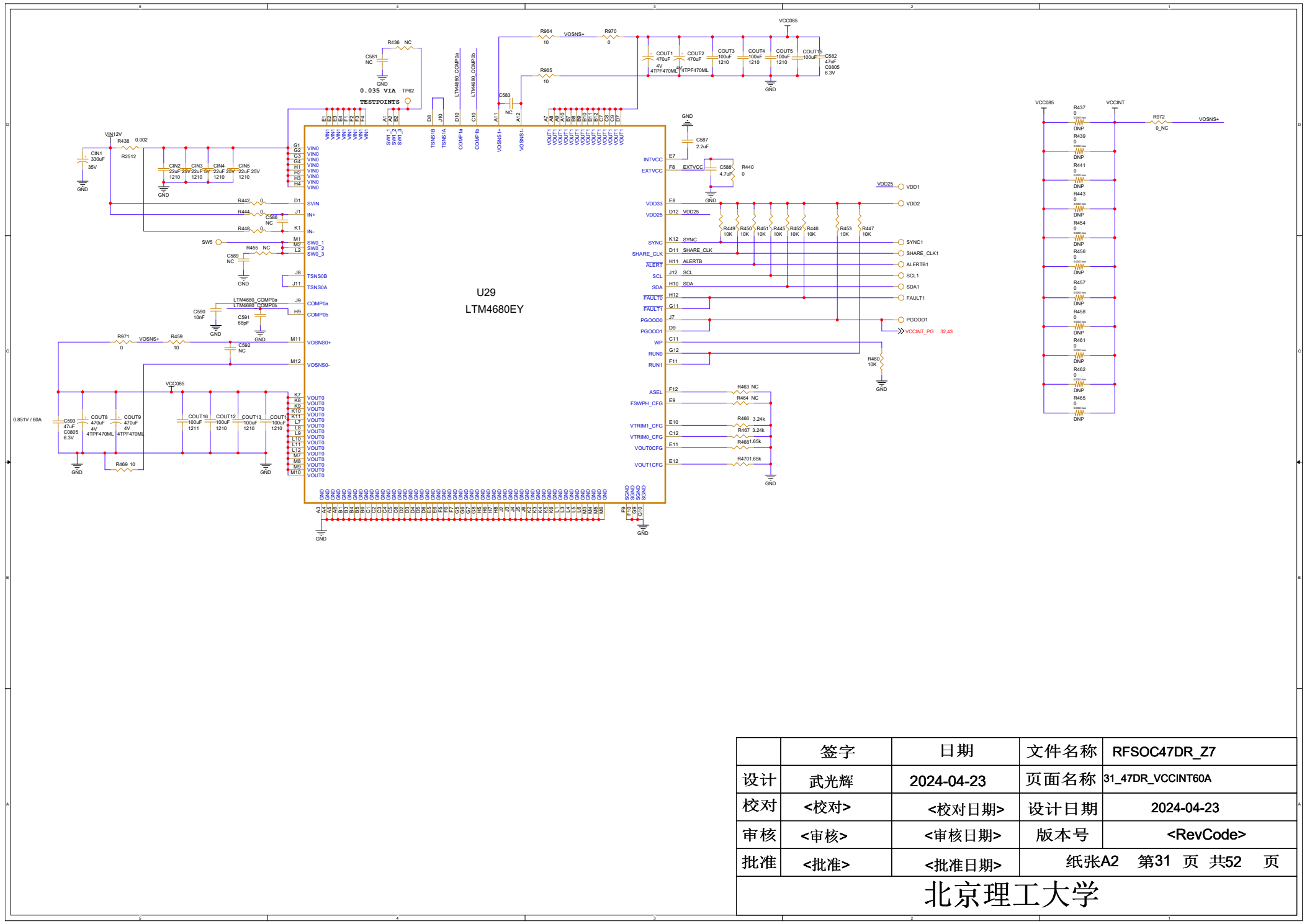


	签字	日期	文件名称	RFSOC47DR_Z7
设计	武光辉	2024-04-23	页面名称	27_47DR_PS_DDR4 SODIMM
校对	<校对>	<校对日期>	设计日期	2024-04-23
审核	<审核>	<审核日期>	版本号	<RevCode>
批准	<批准>	<批准日期>	纸张A2 第27 页 共52 页	

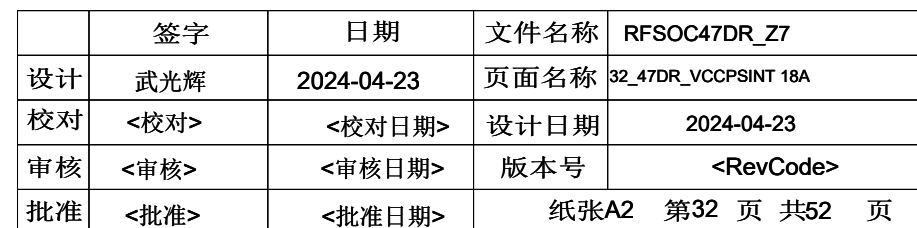
北京理工大学

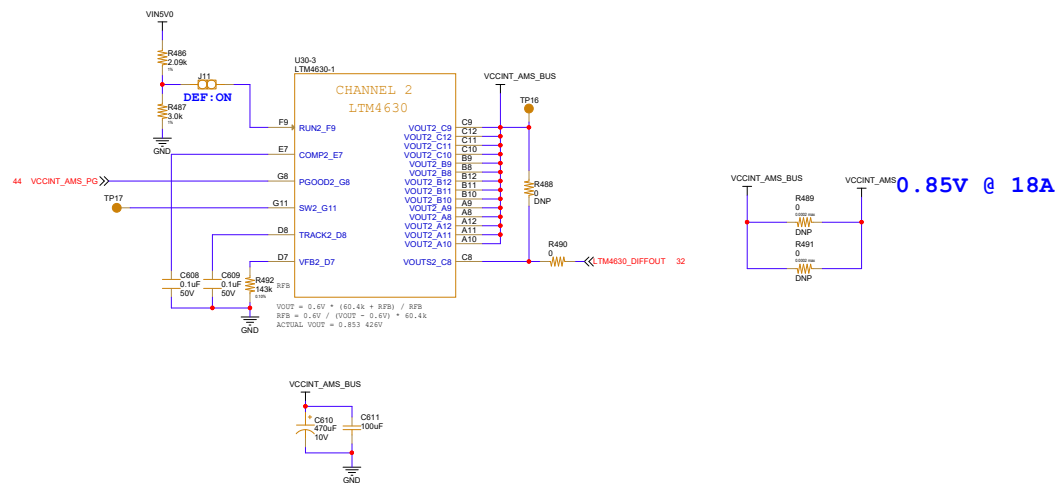
北京理工大学



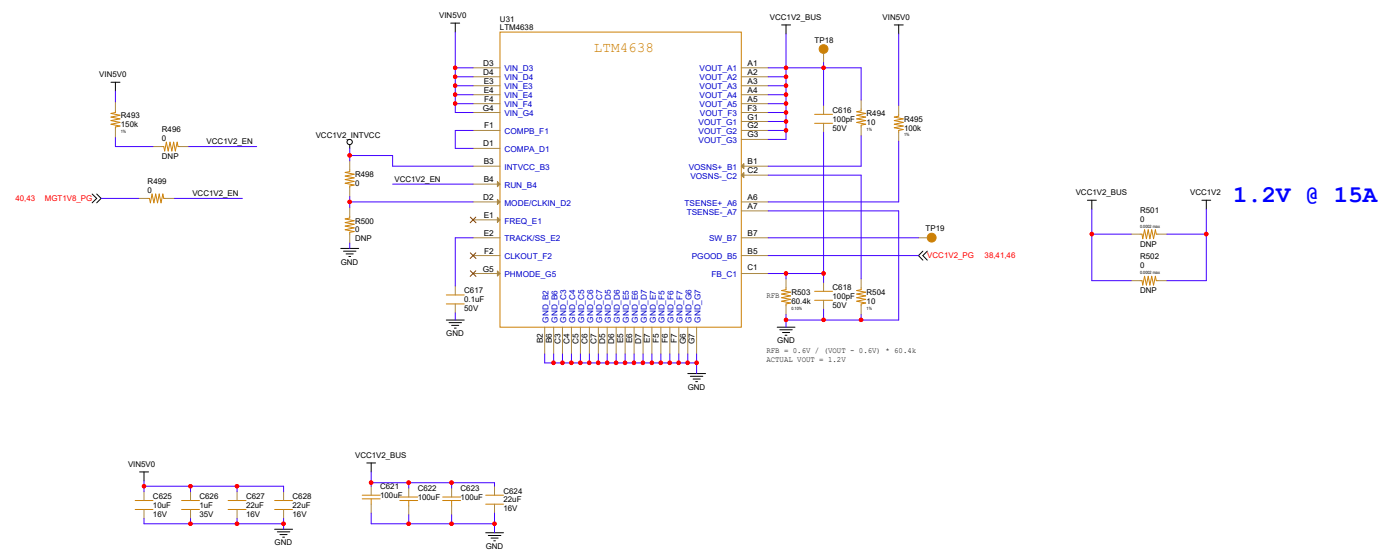


	签字	日期	文件名称	RFSOC47DR_Z7
设计	武光辉	2024-04-23	页面名称	31_47DR_VCCINT60A
校对	<校对>	<校对日期>	设计日期	2024-04-23
审核	<审核>	<审核日期>	版本号	<RevCode>
批准	<批准>	<批准日期>	纸张A2 第31 页 共52 页	
北京理工大学				

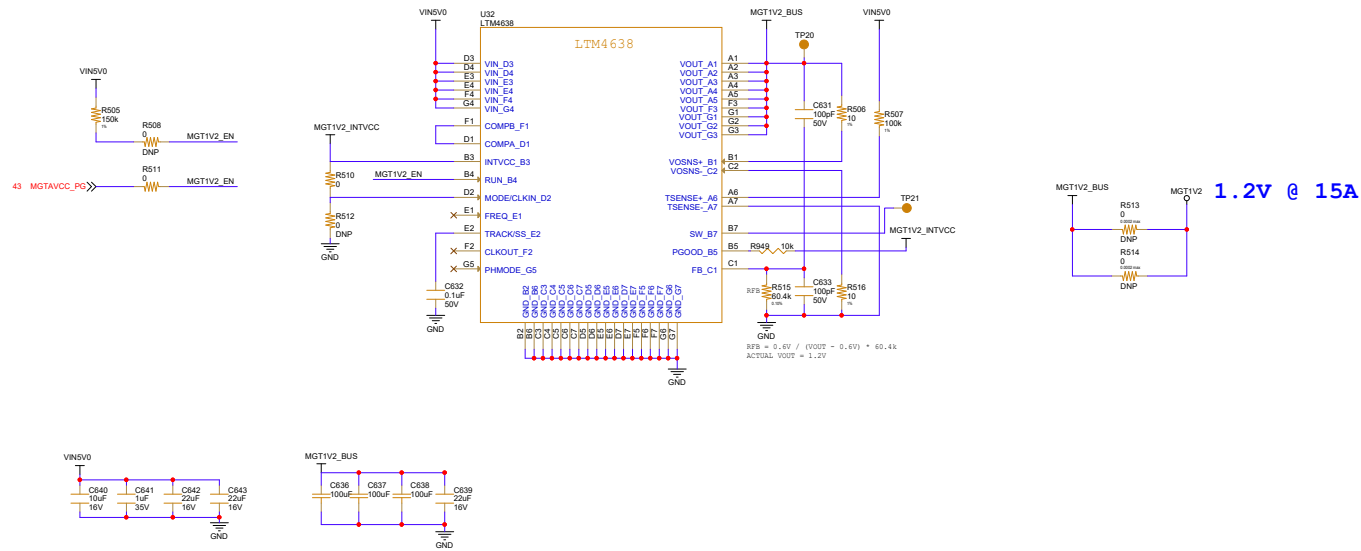




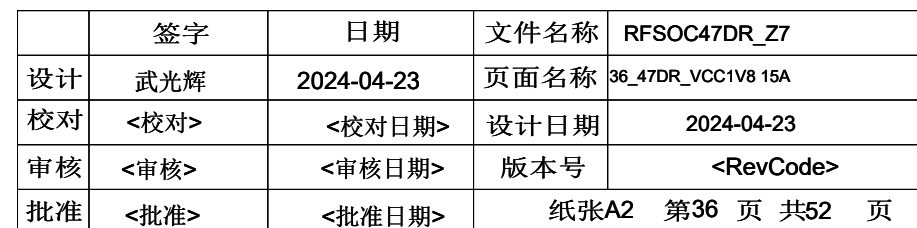
	签字	日期	文件名称	RFSOC47DR_Z7
设计	武光辉	2024-04-23	页面名称	33_47DR_VCCINT_AMS 18A
校对	<校对>	<校对日期>	设计日期	2024-04-23
审核	<审核>	<审核日期>	版本号	<RevCode>
批准	<批准>	<批准日期>	纸张A2 第33 页 共52 页	
北京理工大学				



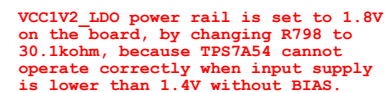
	签字	日期	文件名称	RFSOC47DR_Z7
设计	武光辉	2024-04-23	页面名称	34_47DR_VCC1V2 15A
校对	<校对>	<校对日期>	设计日期	2024-04-23
审核	<审核>	<审核日期>	版本号	<RevCode>
批准	<批准>	<批准日期>	纸张A2 第34 页 共52 页	
北京理工大学				

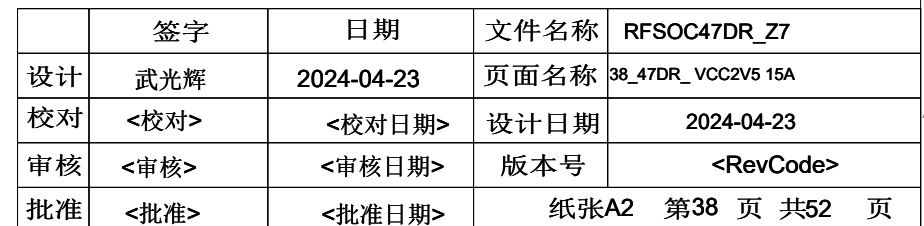


	签字	日期	文件名称	RFSOC47DR_Z7
设计	武光辉	2024-04-23	页面名称	35_47DR_MGT1V2 15A
校对	<校对>	<校对日期>	设计日期	2024-04-23
审核	<审核>	<审核日期>	版本号	<RevCode>
批准	<批准>	<批准日期>	纸张A2 第35 页 共52 页	
北京理工大学				



北京理工大学

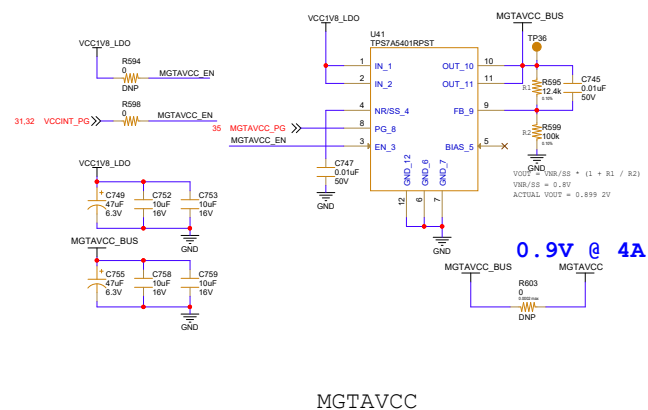
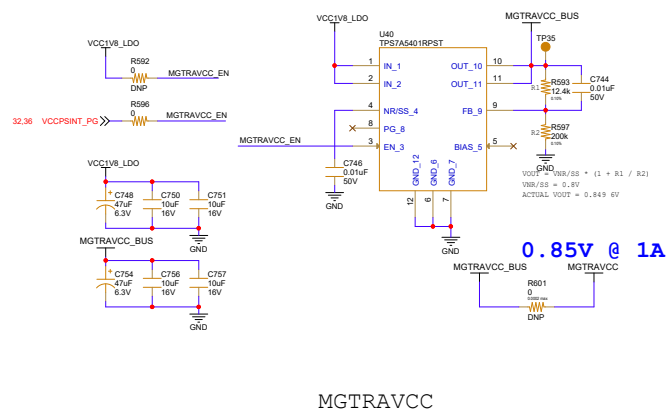
北京理工大学



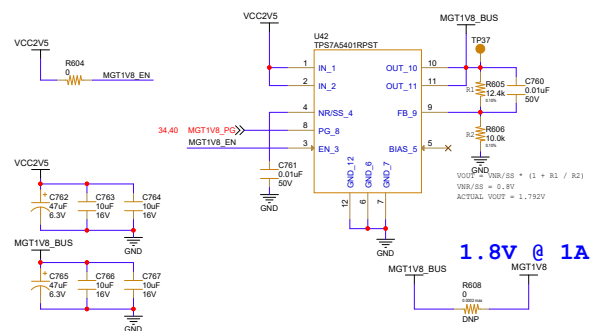
北京理工大学	
--------	--





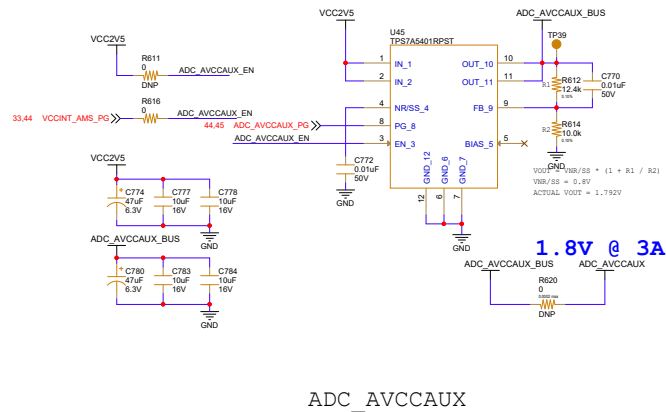


MGT1V8

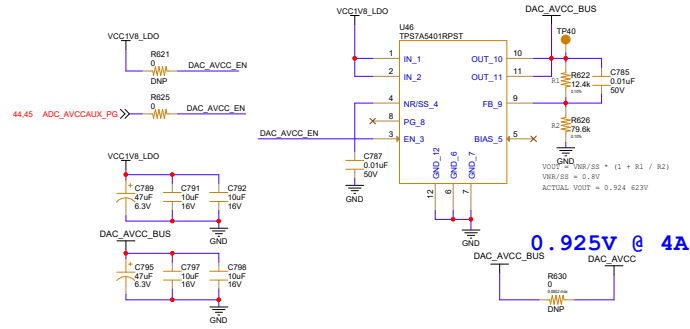


1. The pull-down resistor of EN pin is removed on the board, because it can lead to incorrect voltage drop-down.
2. MGT1V8 is directly enabled on the board, because sequential enabling will make other power rails such as VCC1V8 and VCC1V2 work incorrectly.

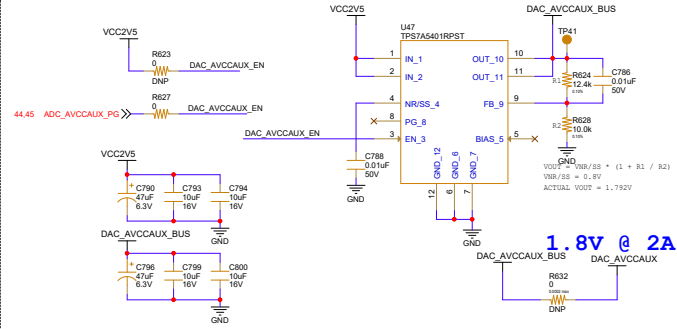
	签字	日期	文件名称	RFSOC47DR_Z7
设计	武光辉	2024-04-23	页面名称	43_47DR_MGT & MGTR LDOs
校对	<校对>	<校对日期>	设计日期	2024-04-23
审核	<审核>	<审核日期>	版本号	<RevCode>
批准	<批准>	<批准日期>	纸张A2 第43 页 共52 页	
北京理工大学				



	签字	日期	文件名称	RFSOC47DR_Z7
设计	武光辉	2024-04-23	页面名称	44_47DR_RF-ADC LDOs
校对	<校对>	<校对日期>	设计日期	2024-04-23
审核	<审核>	<审核日期>	版本号	<RevCode>
批准	<批准>	<批准日期>	纸张A2 第44 页 共52 页	
北京理工大学				

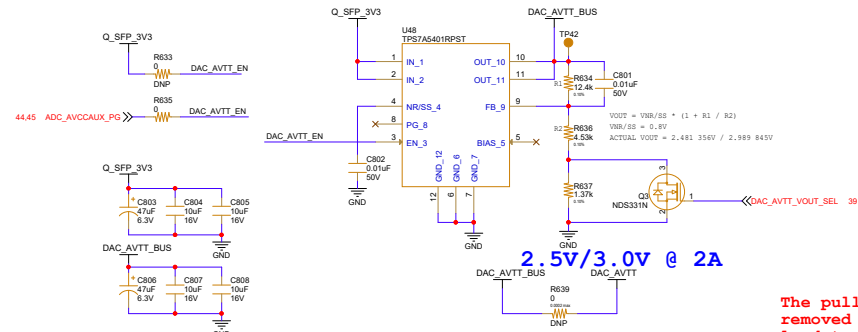


DAC_AVCC



DAC_AVCCAUX

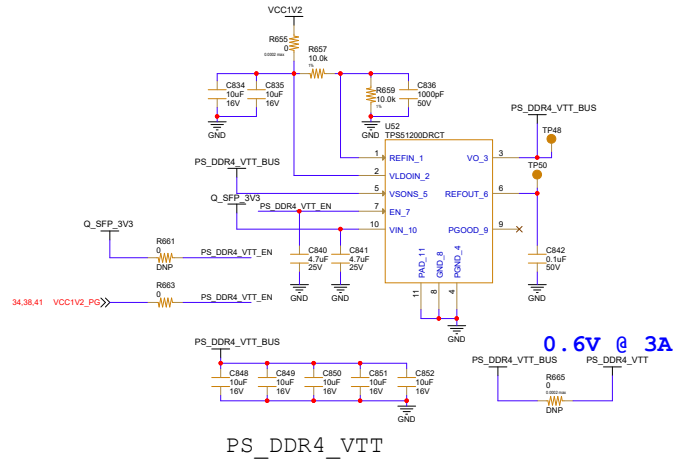
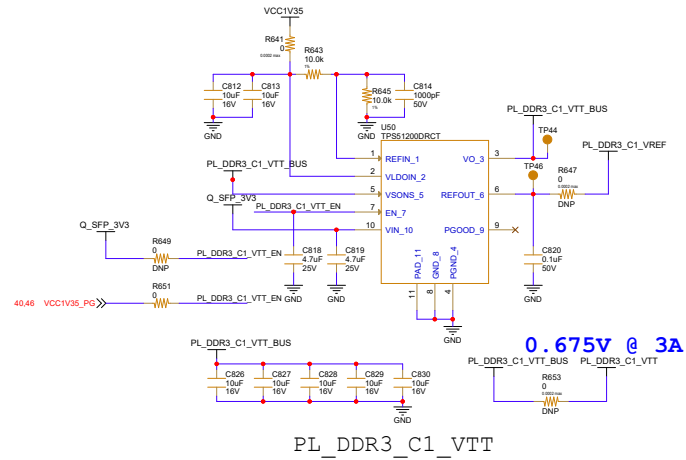
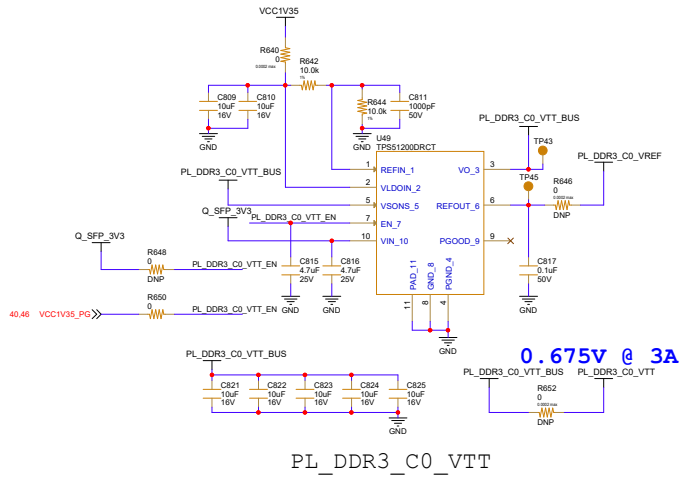
DAC_AVTTT



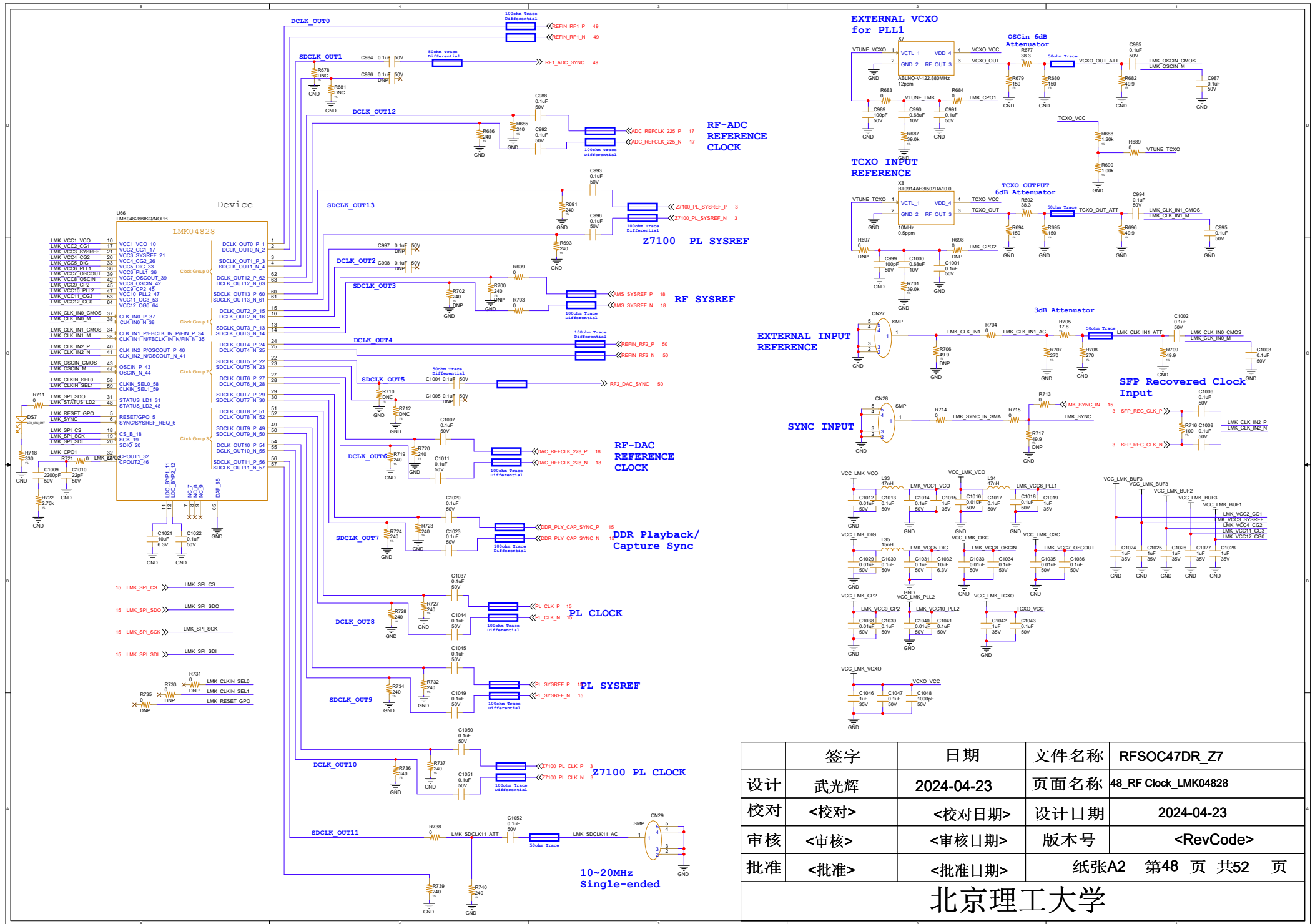
The pull-down resistor of EN pin is removed on the board, because it can lead to incorrect voltage drop-down.

	签字	日期	文件名称	RFSOC47DR_Z7
设计	武光辉	2024-04-23	页面名称	45_47DR_RF-DAC LDOs
校对	<校对>	<校对日期>	设计日期	2024-04-23
审核	<审核>	<审核日期>	版本号	<RevCode>
批准	<批准>	<批准日期>	纸张A2 第45 页 共52 页	

北京理工大学

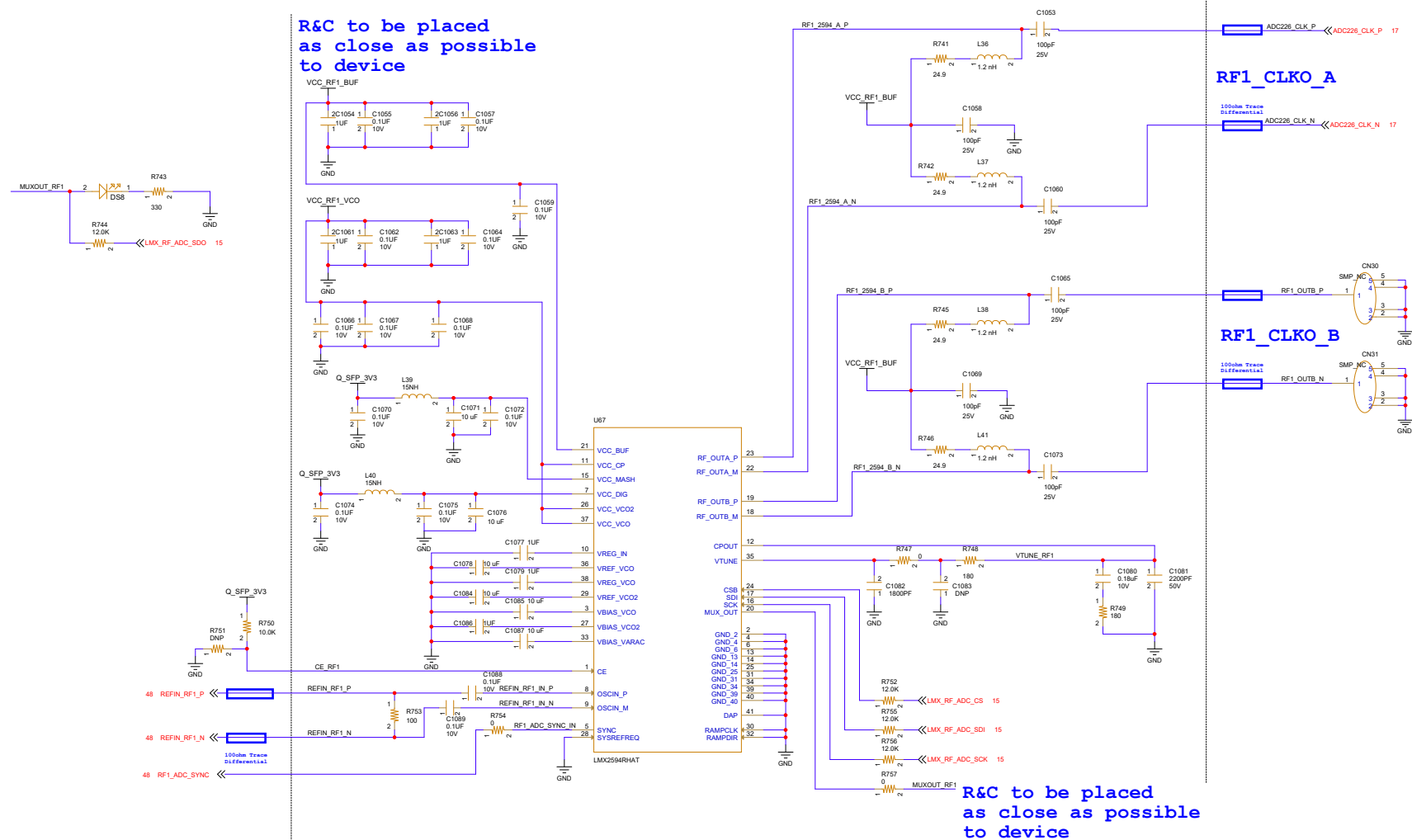


	签字	日期	文件名称	RFSOC47DR_Z7
设计	武光辉	2024-04-23	页面名称	46_47DR_ DDR3/4 Termination Reg
校对	<校对>	<校对日期>	设计日期	2024-04-23
审核	<审核>	<审核日期>	版本号	<RevCode>
批准	<批准>	<批准日期>	纸张A2 第46 页 共52 页	
北京理工大学				

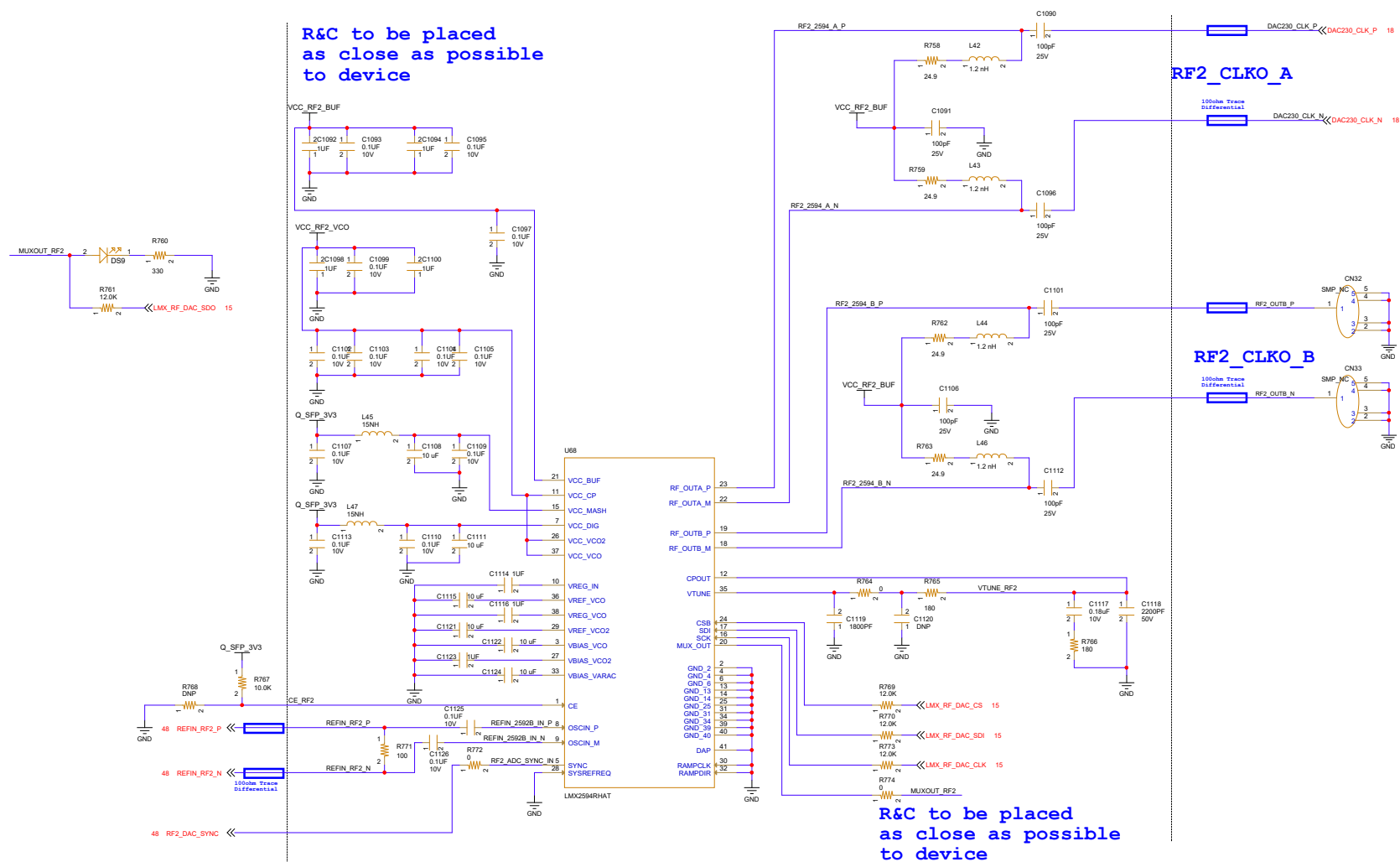


	签字	日期	文件名称	RFSOC47DR_Z7
设计	武光辉	2024-04-23	页面名称	48_RF Clock_LMK04828
校对	<校对>	<校对日期>	设计日期	2024-04-23
审核	<审核>	<审核日期>	版本号	<RevCode>
批准	<批准>	<批准日期>	纸张A2 第48 页 共52 页	

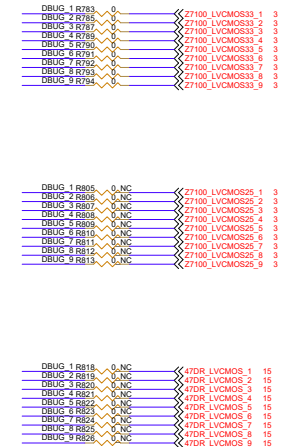
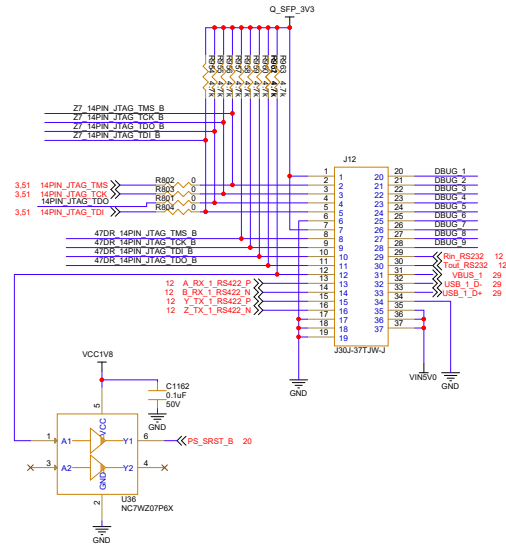
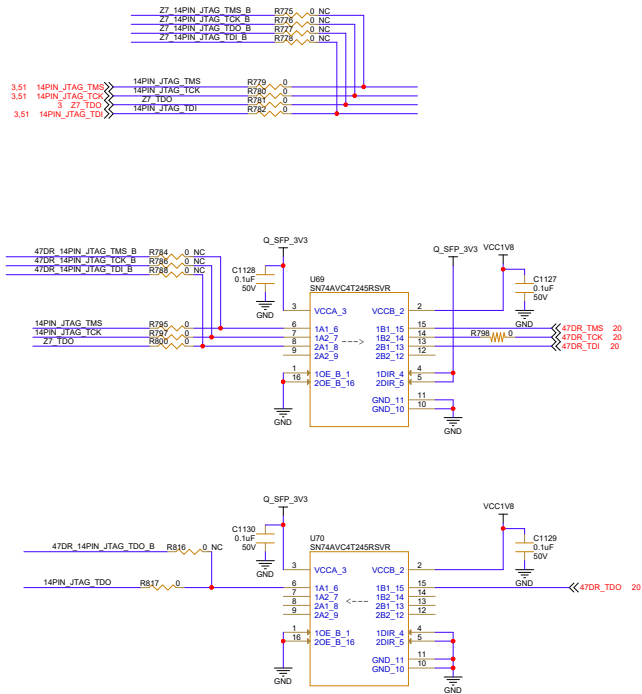
北京理工大学



	签字	日期	文件名称	RFSOC47DR_Z7
设计	武光辉	2024-04-23	页面名称	49_Clock_LMX2594RHAT_1
校对	<校对>	<校对日期>	设计日期	2024-04-23
审核	<审核>	<审核日期>	版本号	<RevCode>
批准	<批准>	<批准日期>	纸张A2 第49 页 共52 页	
北京理工大学				

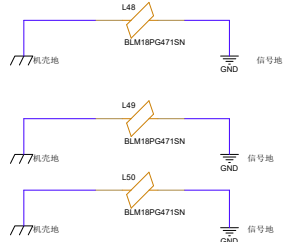
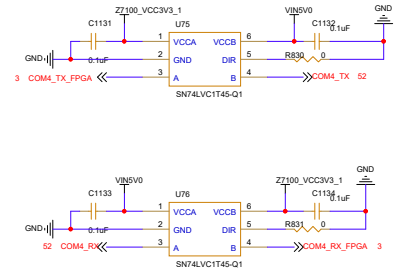
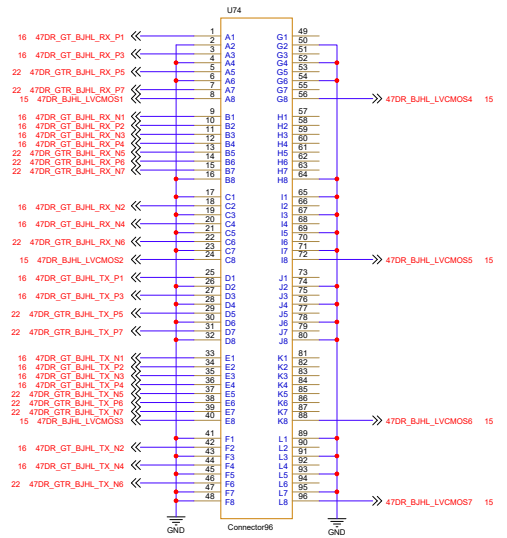
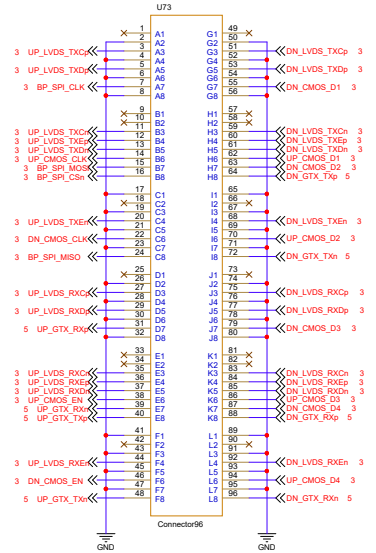
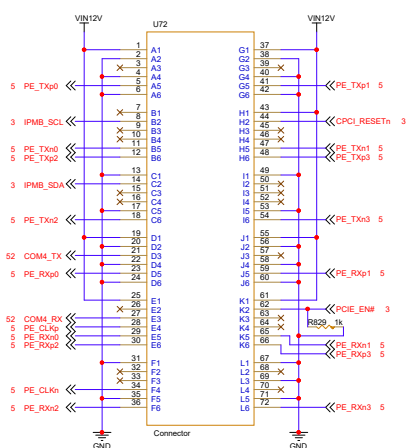
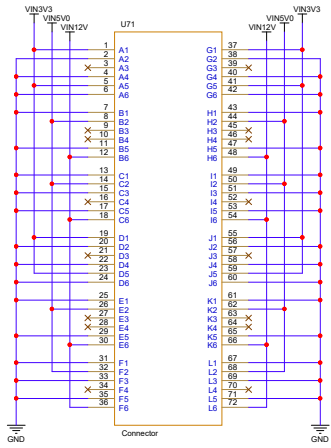


	签字	日期	文件名称	RFSOC47DR_Z7
设计	武光辉	2024-04-23	页面名称	50_Clock_LMX2594RHAT_2
校对	<校对>	<校对日期>	设计日期	2024-04-23
审核	<审核>	<审核日期>	版本号	<RevCode>
批准	<批准>	<批准日期>	纸张A2 第50 页 共52 页	
北京理工大学				



	签字	日期	文件名称	RFSOC47DR_Z7
设计	武光辉	2024-04-23	页面名称	51_J30J
校对	<校对>	<校对日期>	设计日期	2024-04-23
审核	<审核>	<审核日期>	版本号	<RevCode>
批准	<批准>	<批准日期>	纸张A2 第51 页 共52 页	

北京理工大学



	签字	日期	文件名称	RFSOC47DR_Z7
设计	武光辉	2024-04-23	页面名称	52_BACK_CON
校对	<校对>	<校对日期>	设计日期	2024-04-23
审核	<审核>	<审核日期>	版本号	<RevCode>
批准	<批准>	<批准日期>	纸张A2 第52 页 共52 页	
北京理工大学				

